

# Inhaltsverzeichnis

<b>1 Grundlagen .....</b>	<b>1</b>
1.1 Mikroprozessoren, Mikrocontroller, Signalprozessoren und SoC .....	1
1.2 PC-Systeme.....	3
1.3 Eingebettete und ubiquitäre Systeme .....	5
1.4 Leistungsmessung und Leistungsvergleich.....	11
<b>2 Grundlegende Prozesstechniken .....</b>	<b>16</b>
2.1 Befehlssatzarchitekturen.....	16
2.1.1 Prozessorarchitektur, Mikroarchitektur und Programmiermodell .....	16
2.1.2 Datenformate .....	17
2.1.3 Adressraumorganisation .....	21
2.1.4 Befehlssatz .....	22
2.1.5 Befehlsformate .....	25
2.1.6 Adressierungsarten .....	27
2.1.7 CISC- und RISC-Prinzipien .....	33
2.2 Befehlssatzbeispiele.....	35
2.2.1 Frühe RISC-Rechner .....	35
2.2.2 Das Berkeley RISC-Projekt.....	36
2.2.3 Die DLX-Architektur .....	37
2.3 Einfache Prozessoren und Prozessorkerne.....	40
2.3.1 Von-Neumann-Prinzip .....	40
2.3.2 Grundlegender Aufbau eines Mikroprozessors .....	43
2.3.3 Einfache Implementierungen.....	44
2.3.4 Pipeline-Prinzip .....	45
2.4 Befehls-Pipelining .....	47
2.4.1 Grundlegende Stufen einer Befehls-Pipeline.....	47
2.4.2 Die DLX-Pipeline.....	48
2.4.3 Pipeline-Konflikte .....	54
2.4.4 Datenkonflikte und deren Lösungsmöglichkeiten .....	54
2.4.5 Steuerflusskonflikte und deren Lösungsmöglichkeiten .....	61
2.4.6 Sprungzieladress-Cache .....	64
2.4.7 Statische Sprungvorhersagetechniken .....	66
2.4.8 Strukturkonflikte und deren Lösungsmöglichkeiten.....	67
2.4.9 Ausführung in mehreren Takten.....	68
2.5 Weitere Aspekte des Befehls-Pipelining.....	70

<b>3 Mikrocontroller .....</b>	<b>72</b>
3.1 Abgrenzung zu Mikroprozessoren .....	73
3.2 Anwendungsfelder .....	81
3.2.1 Prozesssteuerung .....	81
3.2.2 Steuerung von Bedienelementen .....	89
3.3 Leistungsklassen und industrielle Mikrocontrollerfamilien .....	90
3.4 Auswahlkriterien für den Einsatz von Mikrocontrollern .....	97
3.5 Software-Entwicklung .....	101
3.6 Forschungstrends .....	105
3.6.1 Systems-on-Chip (SoC) .....	106
3.6.2 Energiespar-Techniken .....	110
3.6.3 Java und Java-Prozessoren für eingebettete Systeme .....	114
<b>4 Mikrocontroller-Komponenten .....</b>	<b>118</b>
4.1 Prozesskerne .....	118
4.2 Ein-/Ausgabeeinheiten .....	121
4.2.1 Anbindung an den Prozessorkern .....	121
4.2.2 Digitale parallele Ein-/Ausgabeeinheiten .....	126
4.2.3 Digitale serielle Ein-/Ausgabeeinheiten .....	129
4.2.4 Wandlung zwischen analogen und digitalen Signalen .....	137
4.3 Zeitgeberbasierte Einheiten .....	146
4.3.1 Zähler und Zeitgeber .....	147
4.3.2 Capture- und Compare-Einheit .....	152
4.3.3 Pulsweitenmodulator .....	153
4.3.4 Watchdog-Einheit .....	157
4.3.5 Echtzeit-Ein-/Ausgabeeinheiten .....	158
4.4 Speicher .....	160
4.4.1 Festwertspeicher .....	162
4.4.2 Schreib-/Lesespeicher .....	164
4.5 Unterbrechungssteuerung .....	166
4.6 DMA .....	175
4.7 Erweiterungsbus .....	179
<b>5 Beispiele verschiedener Mikrocontroller .....</b>	<b>184</b>
5.1 MC68HC11E – ein einfacher Mikrocontroller .....	184
5.1.1 Prozessorkern .....	186
5.1.2 Unterbrechungsbehandlung .....	189
5.1.3 Speicher und Adressraum .....	191
5.1.4 Ein-/Ausgabeeinheiten und Zähler/Zeitgeber .....	192
5.1.5 Erweiterungsbus .....	196
5.2 MC68332 – ein Mikrocontroller mittlerer Leistung .....	198
5.2.1 Prozessorkern .....	199
5.2.2 Unterbrechungsbehandlung .....	202
5.2.3 Speicher und Adressraum .....	204
5.2.4 Ein-/Ausgabeeinheiten und Zähler/Zeitgeber .....	206
5.2.5 Erweiterungsbus .....	211

5.3 PXA250 – ein Hochleistungs-Mikrocontroller .....	215
5.3.1 Prozessorkern .....	217
5.3.2 Unterbrechungsbehandlung .....	220
5.3.3 Speicher und Adressraum .....	222
5.3.4 Ein-/Ausgabeeinheiten und Zähler/Zeitgeber .....	223
5.3.5 Erweiterungsbus .....	230
5.4 MCore – optimiert für niedrigen Energieverbrauch .....	231
5.4.1 Reduktion der Busaktivitäten und Erhöhung der Code-Dichte .....	233
5.4.2 Statisches Power-Management .....	235
5.4.3 Dynamisches Power-Management .....	236
5.5 Komodo – ein Forschungs-Mikrocontroller .....	237
5.5.1 Prozessorkern .....	239
5.5.2 Echtzeit-Scheduling .....	242
5.5.3 Unterbrechungsbehandlung .....	245
5.5.4 Anbindung der peripheren Komponenten .....	247
5.5.5 Evaluierungs-Ergebnisse .....	248
<b>6 Hochperformante Mikroprozessoren .....</b>	<b>253</b>
6.1 Von skalaren RISC- zu Superskalarprozessoren .....	253
6.2 Komponenten eines superskalaren Prozessors .....	255
6.3 Superskalare Prozessor-Pipeline .....	258
6.4 Präzisierung des Begriffs „superskalar“ .....	260
6.5 Die VLIW-Technik .....	262
6.6 Die EPIC-Technik .....	263
6.7 Vergleich der Superskalar- mit der VLIW- und der EPIC-Technik .....	265
<b>7 Die Superskalartechnik .....</b>	<b>268</b>
7.1 Befehlsbereitstellung .....	268
7.1.1 Code-Cache-Speicher .....	268
7.1.2 Befehlsholestufe .....	269
7.1.3 Trace Cache .....	270
7.2 Sprungvorhersage und spekulative Ausführung .....	272
7.2.1 Grundlagen .....	272
7.2.2 Dynamische Sprungvorhersagetechniken .....	273
7.2.3 Ein- und Zwei-Bit-Prädiktoren .....	275
7.2.4 Korrelationsprädiktoren .....	278
7.2.5 Zweistufig adaptive Prädiktoren .....	279
7.2.6 gselect- und gshare-Prädiktoren .....	286
7.2.7 Hybridprädiktoren .....	287
7.2.8 Zuverlässigkeitsabschätzung .....	289
7.2.9 Weitere Prädiktoren zur Interferenzverringerng .....	290
7.2.10 Prädikation .....	293
7.2.11 Mehrpfadausführung .....	295
7.2.12 Vorhersage bedingter Sprungbefehle mit indirekter Adressierung .....	297
7.2.13 Stand der Technik .....	298

7.2.14 Sprungvorhersage mit hoher Bandbreite .....	299
7.3 Decodierung und Registerumbenennung .....	300
7.3.1 Decodierung .....	300
7.3.2 Registerumbenennung .....	301
7.4 Befehlszuordnung .....	304
7.5 Ausführungsstufen .....	311
7.6 Gewährleistung der sequenziellen Programmsemantik .....	316
7.6.1 Rückordnungsstufe .....	316
7.6.2 Präzise Unterbrechungen .....	317
7.6.3 Rückordnungspuffer .....	318
7.7 Verzicht auf die Sequenzialisierung bei der Rückordnung .....	319
<b>8 Speicherverwaltung.....</b>	<b>321</b>
8.1 Speicherhierarchie .....	321
8.2 Register und Registerfenster .....	323
8.3 Virtuelle Speicherverwaltung .....	327
8.4 Cache-Speicher.....	332
8.4.1 Grundlegende Definitionen .....	332
8.4.2 Grundlegende Techniken .....	333
8.4.3 Verringern der Fehlzugriffsrate.....	339
8.4.4 Verringern des Fehlzugriffsaufwandes.....	342
8.4.5 Verringern der Cache-Zugriffszeit bei einem Treffer .....	343
8.4.6 Cache-Kohärenz und Speicherkonsistenz .....	346
8.4.7 Busschnüffeln und MESI-Protokoll .....	347
8.4.8 Speicherkonsistenz.....	350
<b>9 Beispiele für Mikroprozessoren .....</b>	<b>353</b>
9.1 PentiumPro, Pentium II und Pentium III .....	353
9.2 Athlon .....	355
9.3 Pentium 4.....	357
<b>10 Zukunftstechniken für Mikroprozessoren .....</b>	<b>360</b>
10.1 Technologieprognosen.....	360
10.2 Stand der Technik und Grenzen heutiger Prozessortechniken.....	362
10.3 Prozessortechniken zur Erhöhung des Durchsatzes eines Kontrollfadens .....	365
10.3.1 Weiterentwicklungen des Trace Cache.....	365
10.3.2 Datenabhängigkeits-, Adress- und Wertespekulationen.....	366
10.3.3 Vielfach superskalare Prozessoren .....	367
10.4 Prozessortechniken zur Erhöhung des Durchsatzes einer mehr- fädigen Last .....	368
10.4.1 Chip-Multiprozessor.....	368
10.4.2 Prozessor-Speicher-Integration .....	370
10.4.3 Mehrfädige Prozessoren.....	371
10.5 Kontrollfadenspekulation .....	381
10.5.1 Multiskalarer Prozessor.....	381

10.5.2 Trace-Prozessor .....	383
10.5.3 Weitere Techniken der Kontrollfadenspekulation .....	384
<b>11 Zusammenfassung .....</b>	<b>387</b>
<b>Literatur .....</b>	<b>389</b>
<b>Sachverzeichnis.....</b>	<b>401</b>