

# Inhaltsverzeichnis

<b>1. Komplexe Schaltwerke</b> .....	<b>1</b>
1.1 Zeitverhalten von Schaltwerken .....	2
1.1.1 Wirk- und Kippintervalle .....	3
1.1.2 Rückkopplungsbedingungen .....	6
1.2 Entwurf von Schaltwerken .....	9
1.3 Kooperierende Schaltwerke .....	10
1.4 Konstruktionsregeln für Operationswerke .....	11
1.5 Entwurf des Steuerwerks .....	13
1.6 Hardware-Algorithmen .....	15
1.7 ASM-Diagramme .....	17
1.7.1 Zustandsboxen .....	17
1.7.2 Entscheidungsboxen .....	18
1.7.3 Bedingte Ausgangsboxen .....	19
1.7.4 ASM-Block .....	19
1.8 Einsen-Zähler .....	20
1.8.1 Lösung mit komplexem MOORE-Schaltwerk .....	21
1.8.2 Lösung mit komplexem MEALY-Schaltwerk .....	21
1.8.3 Aufbau des Operationswerkes .....	24
1.8.4 MOORE-Steuerwerk als konventionelles Schaltwerk ...	25
1.8.5 MOORE-Steuerwerk mit One-hot Codierung .....	26
1.8.6 MEALY-Steuerwerk als konventionelles Schaltwerk ...	27
1.8.7 MEALY-Steuerwerk mit One-hot Codierung .....	28
1.8.8 Mikroprogrammierte Steuerwerke .....	29
1.8.9 Vergleich der komplexen Schaltwerke .....	30
1.9 Universelle Operationswerke .....	30
1.10 Simulationsprogramm eines Operationswerks .....	33
1.10.1 Aufbau des Operationswerks .....	34
1.10.2 Benutzung des Programms .....	34
1.10.3 Betriebsarten und Befehle .....	36
1.10.4 Beispielprogramme .....	37

<b>2.</b>	<b>von NEUMANN-Rechner</b> .....	41
2.1	Grundkonzept .....	41
2.2	Interne und externe Busse .....	47
2.3	Prozessorregister .....	49
2.3.1	Stackpointer .....	50
2.3.2	Unterprogramme .....	51
2.3.3	Interrupts .....	53
2.4	Rechenwerk .....	60
2.4.1	Daten-Register .....	60
2.4.2	Adress-Rechnungen .....	61
2.4.3	Datenpfade .....	61
2.4.4	Schiebemultiplexer .....	62
2.4.5	Dual-Addition .....	63
2.4.6	Logische Operationen .....	72
2.4.7	Status-Flags .....	74
2.5	Leitwerk .....	76
2.5.1	Mikroprogrammierung .....	76
2.5.2	Grundstruktur eines Mikroprogramm-Steuerwerks ...	77
2.5.3	Mikrobefehlsformat .....	78
2.5.4	Adresserzeugung .....	79
2.6	Mikroprogrammierung einer RALU .....	80
2.6.1	Aufbau der RALU .....	81
2.6.2	Benutzung des Programms .....	81
2.6.3	Setzen von Registern .....	82
2.6.4	Steuerwort der RALU .....	82
2.6.5	Takten und Anzeigen der RALU .....	83
2.6.6	Statusregister und Sprungbefehle .....	84
2.6.7	Kommentare und Verkettung von Befehlen .....	85
2.6.8	Beispielprogramme .....	85
<b>3.</b>	<b>Hardware-Parallelität</b> .....	89
3.1	Direkter Speicherzugriff .....	90
3.2	Ein-/Ausgabe Prozessoren .....	92
3.3	HARVARD-Architektur .....	93
3.4	Gleitkomma-Einheiten .....	93
3.4.1	Gleitkomma-Darstellung .....	94
3.4.2	Beispiel: IEEE-754 Standard .....	96
3.4.3	Anschluss von Gleitkomma-Einheiten .....	98
3.5	Klassifikation nach Flynn .....	99

3.6	Pipeline-Prozessoren	100
3.6.1	Aufbau einer Pipeline	101
3.6.2	Time-Space Diagramme	102
3.6.3	Bewertungsmaße	102
3.6.4	Pipeline-Arten	104
3.6.5	Beispiel: Gleitkomma-Addierer	107
3.7	Array-Prozessoren (Feldrechner)	108
3.7.1	Verbindungs-Netzwerk	111
3.7.2	Shuffle-Exchange Netz	112
3.7.3	Omega-Netzwerk	113
3.7.4	Beispiel: Matrix-Multiplikation	114
<b>4.</b>	<b>Prozessorarchitektur</b>	<b>117</b>
4.1	Befehlsarchitektur	119
4.1.1	Speicherung von Operanden	120
4.1.2	Speicheradressierung	122
4.1.3	Adressierungsarten	124
4.1.4	Datenformate	127
4.1.5	Befehlsarten	128
4.1.6	Befehlsformate	129
4.2	Logische Implementierung	130
4.2.1	CISC	130
4.2.2	RISC	130
4.3	Technologische Entwicklung	131
4.4	Prozessorleistung	132
<b>5.</b>	<b>CISC-Prozessoren</b>	<b>135</b>
5.1	Merkmale von CISC-Prozessoren	136
5.2	Motorola 68000	138
5.2.1	Datenformate	138
5.2.2	Register	138
5.2.3	Organisation der Daten im Hauptspeicher	140
5.2.4	Adressierungsarten	140
5.2.5	Befehlssatz	141
5.2.6	Exception Processing	146
5.2.7	Entwicklung zum 68060	148

<b>6.</b>	<b>RISC-Prozessoren</b> .....	151
6.1	Architekturmerkmale .....	152
6.1.1	Erste RISC-Prozessoren .....	152
6.1.2	RISC-Definition .....	153
6.1.3	Befehls-Pipelining .....	153
6.2	Aufbau eines RISC-Prozessors .....	155
6.3	Pipelinekonflikte .....	155
6.3.1	Struktureller Konflikt .....	158
6.3.2	Datenflußkonflikte .....	159
6.3.3	Laufzeitkonflikte .....	160
6.3.4	Steuerflußkonflikte .....	162
6.4	Optimierende Compiler .....	163
6.4.1	Minimierung von strukturellen Konflikten .....	164
6.4.2	Beseitigung von NOPs bei Datenflußkonflikten .....	165
6.4.3	Beseitigung von NOPs bei statischen Laufzeitkonflikten .....	165
6.4.4	Beseitigung von NOPs bei Steuerflußkonflikten .....	166
6.5	Superpipelining .....	167
6.6	Superskalare RISC-Prozessoren .....	168
6.6.1	Single Instruction Issue .....	168
6.6.2	Multiple Instruction Issue .....	169
6.6.3	Hardware zur Minimierung von Steuerflußkonflikten ..	175
6.6.4	PowerPC 620 .....	177
6.7	VLIW-Prozessoren .....	179
<b>7.</b>	<b>Aktuelle Computersysteme</b> .....	181
7.1	Chipsätze .....	181
7.1.1	Speicher .....	181
7.1.2	Ein-/Ausgabe .....	183
7.2	Desktop-Prozessoren .....	184
7.2.1	AMD-Prozessoren .....	185
7.2.2	INTEL-Prozessoren .....	186
7.3	Server-Prozessoren .....	186
7.3.1	Opteron-Sledgehammer .....	187
7.3.2	Itanium 2 – McKinley Prozessor .....	187
7.4	Entwicklungstrends .....	189

<b>8. Kommunikation</b> .....	193
8.1 Parallele und serielle Busse .....	194
8.2 Busprotokolle .....	195
8.3 Verbindungstopologien .....	195
8.4 Parallelbusse .....	198
8.4.1 Busfunktionen und Businterface .....	199
8.4.2 Mechanischer Aufbau .....	201
8.4.3 Elektrische Realisierung .....	201
8.4.4 Busarbitrierung .....	204
8.4.5 Übertragungsprotokolle .....	209
8.4.6 Beispiele für standardisierte Parallelbusse .....	216
8.5 Serielle Übertragung .....	222
8.5.1 Verwürfler und Entwürfler .....	222
8.5.2 Betriebsarten .....	223
8.5.3 Synchrone Übertragung .....	224
8.5.4 Asynchrone Übertragung .....	225
8.5.5 Leitungscodes .....	225
8.6 Basisbandübertragung .....	227
8.6.1 Ethernet-LAN .....	228
8.6.2 Token-Ring .....	233
8.6.3 Token-Bus .....	234
8.6.4 Kopplung von LANs .....	234
8.7 Breitbandübertragung .....	236
8.7.1 Übertragungssicherung .....	237
8.7.2 Zyklische Blocksicherung (CRC) .....	238
8.8 WANs .....	240
8.8.1 Vermittlungstechnik .....	241
8.8.2 Betrieb von WANs .....	242
8.9 OSI-Modell .....	245
<b>9. Speicher</b> .....	249
9.1 Halbleiterspeicher .....	251
9.1.1 Speicher mit wahlfreiem Zugriff .....	252
9.1.2 Pufferspeicher mit seriellem Zugriff .....	262
9.1.3 Assoziativspeicher (CAM) .....	264
9.2 Magnetomotorische Speicher .....	265
9.2.1 Speicherprinzip .....	266
9.2.2 Schreiben .....	267
9.2.3 Lesen .....	267

9.2.4	Speichermedien .....	268
9.2.5	Aufzeichnungsverfahren .....	269
9.2.6	Peak-Shift-Effekt .....	275
9.2.7	Formatierung .....	276
9.2.8	Festplatten-Controller .....	278
9.3	Speicherverwaltung .....	280
9.3.1	Segmentierung .....	282
9.3.2	Paging .....	283
9.3.3	Adressumsetzung .....	284
9.3.4	Hauptspeicherzuteilung (Allocation) .....	286
9.3.5	Hardware-Unterstützung virtueller Speicher .....	289
9.3.6	Caches .....	291
9.3.7	Datei-Organisation .....	296
<b>10.</b>	<b>Ein-/Ausgabe und Peripheriegeräte .....</b>	<b>299</b>
10.1	Parallele Ein-/Ausgabe .....	299
10.2	Serielle Ein-/Ausgabe .....	301
10.2.1	Asynchronbetrieb .....	301
10.2.2	Synchronbetrieb .....	303
10.3	Zeitgeber (Timer) .....	304
10.4	Analoge Ein-/Ausgabe .....	304
10.4.1	D/A-Umsetzer .....	305
10.4.2	A/D-Umsetzer .....	309
10.5	Funktionsprinzipien ausgewählter Peripheriegeräte .....	314
10.5.1	Mäuse .....	314
10.5.2	Video-Monitore .....	316
10.5.3	Drucker .....	320
	<b>Literaturverzeichnis .....</b>	<b>325</b>
	<b>A. Kurzreferenz Programm opw .....</b>	<b>329</b>
	<b>B. Kurzreferenz Programm ralu .....</b>	<b>331</b>
	<b>C. Abkürzungen .....</b>	<b>333</b>
	<b>Sachverzeichnis .....</b>	<b>337</b>