

Inhaltsverzeichnis

1 Grundlagen klassischer Rechnerorganisation	1
1.1 Information, Algorithmen, Automaten	1
1.1.1 Materie- und Informationsprozesse	1
1.1.2 Codierung von Information und Algorithmen	3
1.1.3 Programmsteuerung und Datenverarbeitung	7
1.1.4 Automaten	14
1.2 Elementare Maschinen	24
1.2.1 Die Turing-Maschine	24
1.2.2 Die In-/Dekrementier-Maschine (Zählmaschine)	28
1.2.3 Die Exor-/And-Maschine (Logikmaschine)	31
1.2.4 Maschinelle Verarbeitung von Daten	36
1.2.5 Maschinelle Codierung von Programmen	41
1.3 Der klassische v.-Neumann-Rechner	47
1.3.1 Geschichtliche Bedeutung	47
1.3.2 Architektur	49
1.3.3 Mikroalgorithmen für 2-Komplement-Zahlen	57
1.3.4 Die wichtigsten Rechnerbefehle	68
1.3.5 Die wichtigsten Adressierungsarten	75
1.4 Der klassische 2-Phasen-Assembler	81
1.4.1 Geschichtliche Entwicklung	81
1.4.2 Die wichtigsten Assembleranweisungen	83
1.4.3 Die wichtigsten Adreßrechnungen	89
1.4.4 Aufbau eines 2-Phasen-Assemblers	91
2 Prinzipien der Rechnerstrukturen	94
2.1 Einteilung von Rechnern nach Befehlsformaten	94
2.1.1 Adreßanzahl gegenüber Adreßlänge	94
2.1.2 Hardware-Programme	95
2.1.3 n+1-Adreß-Architektur	97
2.1.4 n-Adreß-Architektur	101
2.1.5 Stack-Architektur	106
2.2 Aufwands-, geschwindigkeits- und durchsatzoptimale Systeme	108
2.2.1 Organisationsformen	108
2.2.2 Seriell- gegenüber Parallelorganisation	116

2.2.3	Fließbandorganisation	124
2.2.4	Konfliktlösung bei Fließbandverarbeitung	129
2.3	Mikroprogrammierung und Prozessorstruktur	137
2.3.1	Die Maschine in der Maschine	137
2.3.2	Complex Instruction Set Computer (CISC)	147
2.3.3	Reduced Instruction Set Computer (RISC)	155
2.3.4	Gegenüberstellung von RISC und CISC	158
2.4	Prägende Architekturen der Mikroprozessortechnik	167
2.4.1	Am2900: Prozessoren aus Prozessorbausteinen	167
2.4.2	M6800: Einer der ersten 8-Bit-Mikroprozessoren	169
2.4.3	LSI-11: Ein früher 16-Bit-Prozessor für den industriellen Einsatz	170
2.4.4	MC68020: Ein 32-Bit-Mikroprozessor auf CISC-Basis	172
2.4.5	SPARC: Ein 32-Bit-Mikroprozessor auf RISC-Basis	176
2.5	Höhere Formen der Parallelverarbeitung (Autor: M. Menge)	181
2.5.1	Lösung des Sprungkonflikts in Fließband-Prozessoren	182
2.5.2	Statische Operationsparallelität	190
2.5.3	Dynamische Operationsparallelität	197
3	Prozessororganisation und Assemblerprogrammierung	213
3.1	Rechnerbefehle, Assembleranweisungen – vom Problem zum Programm	213
3.1.1	Programmiersprachliche Ausdrucksmittel	213
3.1.2	Programmausführung mittels Assembler und Prozessor	217
3.1.3	Assoziativer vs. wahlfreier Datenzugriff	225
3.1.4	Wahlfreier vs. sequentieller Datenzugriff	230
3.2	Adreßrechnung und -modifizierung	232
3.2.1	Register- und Speicheradressierung, immediate Adressierung	232
3.2.2	Registerindirekte Adressierung	235
3.2.3	Basisadressierung	236
3.2.4	Speicherindirekte Adressierung	238
3.2.5	Indexadressierung	239
3.2.6	Effektivadreß-Bildung	241
3.3	Unterprogramme – Funktionen und Prozeduren	244
3.3.1	Parametertransport in die Register	244
3.3.2	Parametertransport in den Stack	248
3.3.3	Organisationsformen aus der Industrie	255
3.3.4	Geschachtelte und rekursive Unterprogrammaufrufe	262
3.4	Makrobefehle	266
3.4.1	Elementare Makroersetzungstechniken	266
3.4.2	Bedingte und strukturierte Assemblierung	268
3.4.3	Implementierung abstrakter Maschinen	270
3.4.4	Geschachtelte und rekursive Makroersetzungen	273

3.5	Datentypen, -formate und -strukturen sowie entsprechende Architektur Aspekte	277
3.5.1	Die Datentypen-Problematik	277
3.5.2	Datentypen, -formate und -strukturen	285
3.5.3	Typische Befehle handelsüblicher Prozessoren	287
3.5.4	Gleitkommabefehle	293
3.5.5	Sprachorientierte Rechnerarchitekturen	298
4	Systembus- und Speicherorganisation	303
4.1	Datentübertragung mit den Systemkomponenten	303
4.1.1	Adressierung prozessorexterner Speicherzellen und Register	303
4.1.2	Abläufe für den Datentransport zwischen Prozessor* und Speicher	306
4.1.3	Asynchroner Buszyklus	313
4.1.4	Synchroner Buszyklus	314
4.2	Strukturierung des Adreßraums	316
4.2.1	Aufteilung des Adreßraums mit Statussignalen	316
4.2.2	Adreßraumteilung durch Auswertung der Adreßsignale	321
4.2.3	Unterschiedliche Datenformate und dynamische Busbreite	324
4.3	Maßnahmen zur Beschleunigung von Speicherzugriffen	328
4.3.1	Verschränkte Speicheradressierung	328
4.3.2	Überlappung von Buszyklen	331
4.3.3	Paralleler Zugriff auf Programm- und Datenspeicher	334
4.3.4	Blockbuszyklus	336
4.4	Cache	338
4.4.1	Problematik	338
4.4.2	Cache-Typen	343
4.4.3	Ersetzungsstrategien	354
4.5	Virtueller Speicher	360
4.5.1	Problematik	360
4.5.2	Speicherverwaltung mit Segmenten	365
4.5.3	Speicherverwaltung mit Seiten	367
4.5.4	Speicherverwaltung mit Segmenten und Seiten	370
5	Ein-/Ausgabeorganisation in Einmaster- und Multimaster-/Multiprozessorsystemen	378
5.1	Prozessorinterrupt	378
5.1.1	Grundsätzlicher Ablauf	378
5.1.2	Interruptzyklus	383
5.1.3	Identifizierbarkeit	387
5.1.4	Unterbrechbarkeit	390
5.1.5	Demaskierbarkeit	395

5.2	Ein-/Ausgabe im Einmastersystem	404
5.2.1	Grundsätzlicher Ablauf	404
5.2.2	Testen und Ändern der Synchronisationsinformation	409
5.2.3	Parallele Datenübertragung	413
5.2.4	Asynchron-serielle Datenübertragung (UART)	418
5.2.5	Synchron-serielle Datenübertragung (SDLC)	429
5.3	Busarbitration	437
5.3.1	Grundsätzlicher Ablauf	437
5.3.2	Arbitration bei einem Master	440
5.3.3	Arbitration bei mehreren Mastern	443
5.3.4	Lokale Busarbitration	445
5.3.5	Globale Busarbitration	449
5.3.6	Numerierbare Priorisierung	453
5.4	Ein-/Ausgabe im Multimaster-/Multiprozessorsystem	456
5.4.1	Grundsätzliche Systemstrukturen	456
5.4.2	Direct Memory Access (DMA)	463
5.4.3	Zusammenspiel der Systemkomponenten	467
5.4.4	Peripheriebusse (SCSI)	471
5.4.5	Multibuskonfigurationen	482
	Literatur	489
	Sachverzeichnis	491