

### 3 Elektronische Verknüpfungsglieder

#### Lösung der Aufgabe 27: RTL-NICHT-Glied

L.27.1: Ein NICHT-Glied (Inverter) in RTL-Technologie (Resistor-Transistor-Logic) stellt eine einfache Emitterschaltung eines NPN-Transistors dar. Abbildung L27.1 zeigt eine solche Schaltung.

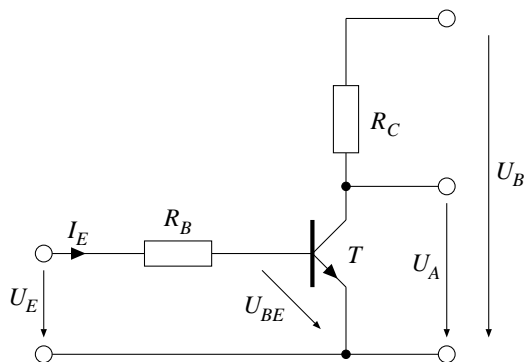


Abb. L27.1: Ein Inverter in RTL-Technologie (Emitterschaltung)

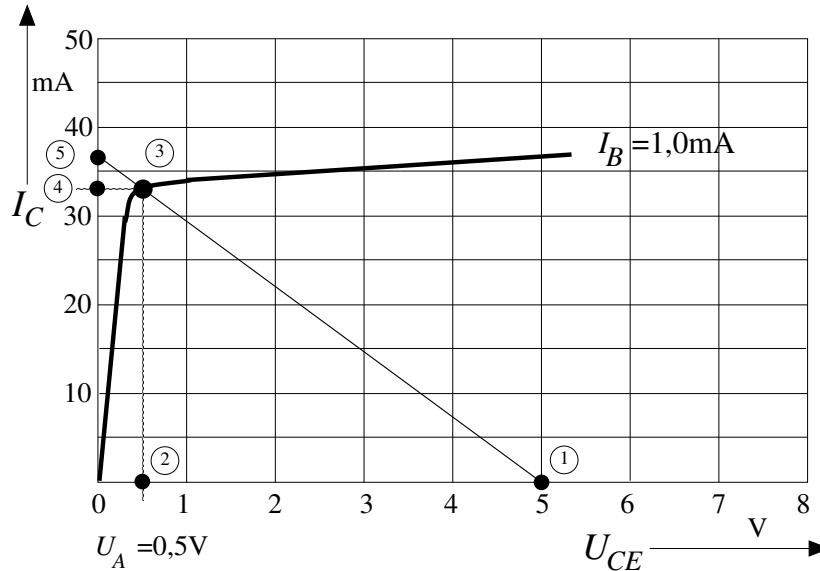
Ist  $U_E = 5\text{ V}$ , so wird die Emitter-Kollektor-Strecke von  $T$  niederohmig und senkt die Spannung  $U_A$  auf fast  $0\text{ V}$  herab. Ist  $U_E = 0\text{ V}$ , so sperrt  $T$  und  $U_A$  steigt auf fast Betriebsspannung an.

L.27.2: Um die ganze Schaltung zu dimensionieren fehlen noch der Basiswiderstand  $R_B$  und der Kollektorwiderstand  $R_C$ . Um den Basiswiderstand zu ermitteln, ist im Durchlaßfall des Transistors der Maschenumlauf über  $U_E$  und  $R_B$  zu berechnen. Wir müssen dabei jedoch beachten, dass sich der Transistor bei  $U_E = 5\text{ V}$  in der Sättigung befindet und daher noch die Basis-Emitter-Spannung von etwa  $U_{BE} = 0,7\text{ V}$  zu berücksichtigen ist. Bei unserem Maschenumlauf entgegen dem Uhrzeigersinn über  $U_E$ ,  $R_B$  (eigentlich  $U_{R_B}$ ) und  $U_{BE}$  erhalten wir demnach die Gleichung:  $U_E - U_{BE} - U_{R_B} = 0$ . Damit können wir den Basiswiderstand berechnen:

$$R_B = \frac{U_{R_B}}{I_E} = \frac{U_E - U_{BE}}{I_E} = \frac{5\text{ V} - 0,7\text{ V}}{1\text{ mA}} = 4,3\text{ k}\Omega$$

Zur Berechnung des Kollektorwiderstandes  $R_C$  benutzen wir das Kennlinienfeld des Transistors, um den tatsächlich durch den Widerstand fließenden Strom zu ermitteln. Aus diesem Kennlinienfeld ist jedoch nur eine Kurve relevant, da

wir es mit einem konstanten Basisstrom von  $I_B = 1\text{ mA}$  zu tun haben. Ferner benötigen wir noch die Betriebsspannung von  $U_B = 5\text{ V}$  und wir müssen die Widerstandsgerade von  $R_C$  in das Kennlinienfeld eintragen (Abb. L27.2).



**Abb. L27.2:** Relevante Ausgangskennlinie  $I_E = I_B = 1\text{ mA}$  des NPN-Transistors mit Widerstandsgerade des Kollektorwiderstandes

Diese Gerade wird durch folgende Punkte gezeichnet:

- $5\text{ V}$  ( $U_B$ ) auf der  $U_{CE}$ -Achse (Punkt ①). Diese Spannung fällt zwischen dem Kollektor und Emitter des Transistors ab, wenn er vollständig gesperrt ist.
- Schnittpunkt der Geraden  $U_{CE} = U_A = 0,5\text{ V}$  (Orthogonale durch Punkt ②) mit der Basisstromkennlinie von  $1\text{ mA}$  (Punkt ③).

Diese Gerade liefert auf der  $I_C$ -Achse den maximalen Kollektorstrom im Punkt ⑤. Dieser Strom würde fließen, wenn es sich um einen idealen Transistorschalter handeln würde.

Der Kollektorwiderstand kann nun durch 2 Methoden ermittelt werden.

1. Im Punkt ③ fällen wir das Lot zur  $I_C$ -Achse und erhalten den tatsächlich in der Schaltung fließenden Kollektorstrom von  $I_C \approx 33\text{ mA}$  (Punkt ④). Dieser Strom erzeugt am Kollektorwiderstand einen Spannungsabfall von  $U_{RC} = U_B - U_A$ . Damit ergibt sich ein Widerstand von:

$$R_C = \frac{U_{RC}}{I_C} = \frac{U_B - U_A}{I_C} = \frac{5\text{ V} - 0,5\text{ V}}{33\text{ mA}} \approx 136\ \Omega$$

2. An dem Schnittpunkt der Widerstandsgeraden mit der  $I_C$ -Achse (Punkt ⑤) lesen wir einen maximalen Kollektorstrom von  $I_{Cmax} \approx 37\text{ mA}$  ab. Nun kann der Kollektorwiderstand als Quotient der Betriebsspannung und

dieses Stromes berechnet werden:

$$R_C = \frac{U_B}{I_{Cmax}} = \frac{5 \text{ V}}{37 \text{ mA}} \approx 135 \Omega$$

## Lösung der Aufgabe 28: TTL-Glieder

IC7427

Der Schaltkreis kann in drei Funktionen aufgeteilt werden (Abb. L28.1).

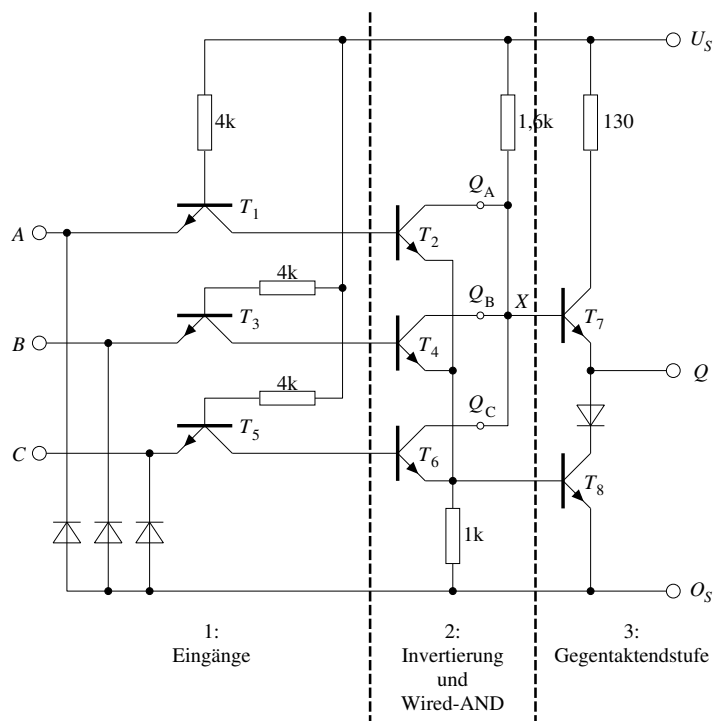


Abb. L28.1: Unterteilung des Schaltkreises in seine Funktionsblöcke

1. Die Transistoren  $T_1$ ,  $T_3$  und  $T_5$  wirken als steuerbare Konstantstromquellen für die Basisanschlüsse der Transistoren  $T_2$ ,  $T_4$  und  $T_6$ . Diese Transistoren erhalten immer dann einen Basisstrom, wenn der zugehörige Eingang auf H-Pegel liegt.
2. Die Transistoren  $T_2$ ,  $T_4$  und  $T_6$  wirken als Inverter der Eingänge  $A$ ,  $B$  und  $C$ . Liegen die Eingänge  $A$  oder  $B$  oder  $C$  auf H-Pegel, dann wird die Kollektor-Emitterstrecke der folgenden Transistoren  $T_2$ ,  $T_4$ ,  $T_6$  niederohmig. Die Ausgänge dieser Inverter sind galvanisch verbunden und wirken als Wired-AND. Damit folgt mit DeMorgan:

$$\overline{A} \wedge \overline{B} \wedge \overline{C} = \overline{A \vee B \vee C}$$

3. Die Transistoren  $T_7$  und  $T_8$  wirken als Gegentaktendstufe und haben keinen Einfluss auf die Boolesche Funktion, sondern sie sorgen bei beiden Ausgangsbelegungen für einen kleinen Ausgangswiderstand des Schaltgliedes.

Damit kann die Funktion des Schaltkreises als Tabelle dargestellt werden (Tabelle L28.1).

<i>C</i>	<i>B</i>	<i>A</i>	<i>Q<sub>A</sub></i>	<i>Q<sub>B</sub></i>	<i>Q<sub>C</sub></i>	<i>X</i>	<i>Q</i>
L	L	L	H	H	H	H	H
L	L	H	L	H	H	L	L
L	H	L	H	L	H	L	L
L	H	H	L	L	H	L	L
H	L	L	H	H	L	L	L
H	L	H	L	H	L	L	L
H	H	L	H	L	L	L	L
H	H	H	L	L	L	L	L

**Tabelle L28.1:** Funktionstabelle des Schaltkreises des IC7427 nach Abbildung L28.1

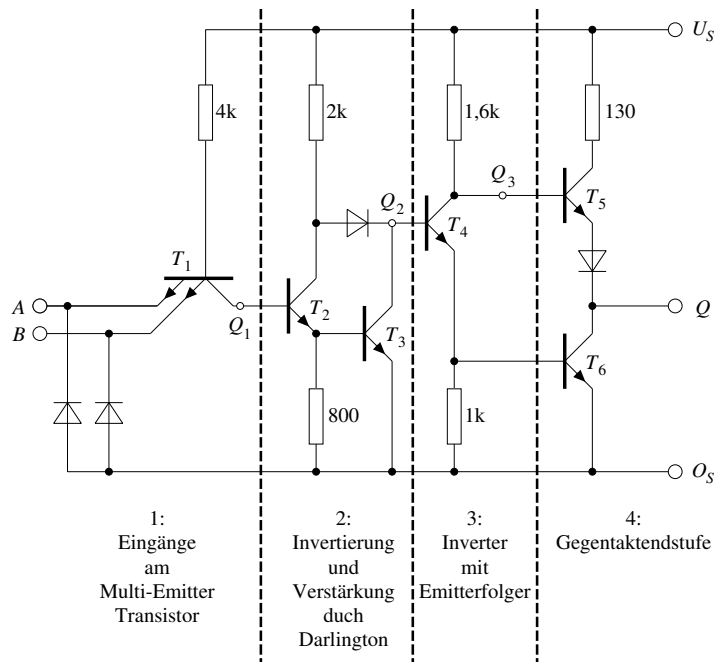
In der Tabelle werden die Ausgänge *Q<sub>A</sub>*, *Q<sub>B</sub>* und *Q<sub>C</sub>* zunächst als nicht verbunden betrachtet. *X* stellt damit die Wired-AND Verknüpfung dar.

Aus der Tabelle ersehen wir, dass der Schaltkreis eine NOR-Verknüpfung realisiert:

$$Q = \overline{A \vee B \vee C}$$

*IC7408*

Auch hier können wir den Schaltkreis in seine Funktionsblöcke aufteilen (Abb. L28.2).



**Abb. L28.2:** Unterteilung des Schaltkreises in seine Funktionsblöcke

1.  $T_1$  ist als Multi-Emitter-Transistor realisiert und bewirkt die UND-Verknüpfung von  $A$  und  $B$ :

$$Q_1 = A \wedge B$$

2.  $T_2$  und  $T_3$  stellen eine Darlington-Schaltung dar. Die Schaltung wirkt als Inverter und Verstärker:

$$Q_2 = \overline{Q_1} = \overline{A \wedge B}$$

3.  $T_4$  wirkt als Inverter mit Emitterfolger:

$$Q_3 = \overline{Q_2} = \overline{\overline{A \wedge B}} = A \wedge B$$

4.  $T_5$  und  $T_6$  wirken auch hier nur als Gegentaktendstufe ohne die Boolesche Funktion des Schaltkreises zu beeinflussen.

Der Schaltkreis realisiert eine UND-Verknüpfung:

$$Q = A \wedge B$$

IC7486

Der Schaltkreis kann in fünf Funktionseinheiten aufgeteilt werden (Abb. L28.3).

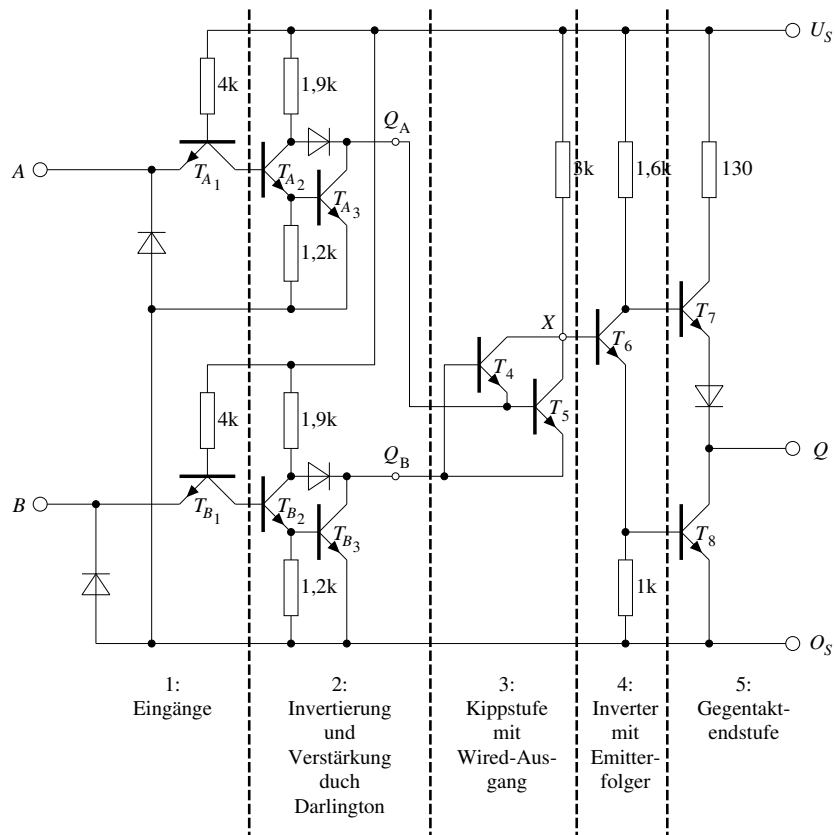
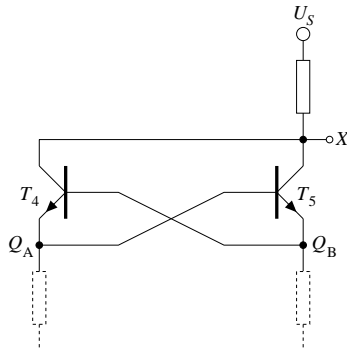


Abb. L28.3: Unterteilung des Schaltkreises in seine Funktionsblöcke

1.  $T_{A_1}$  bzw.  $T_{B_1}$  wirken als Konstantstromquellen, die mit den Eingängen  $A$  bzw.  $B$  gesteuert werden.
2.  $T_{A_2}$  und  $T_{A_3}$  bzw.  $T_{B_2}$  und  $T_{B_3}$  sind als Darlington-Schaltung realisiert und wirken als Inverter und Verstärker.  $Q_A$  liefert das invertierte Signal vom Eingang  $A$  und  $Q_B$  das invertierte Signal des Einganges  $B$ .
3.  $T_4$  und  $T_5$  werden zum besseren Verständnis umgezeichnet (Abb. L28.4).



**Abb. L28.4:** Kippstufenähnliche Verschaltung von  $T_4$  und  $T_5$

Es ist ersichtlich, dass  $T_4$  und  $T_5$  eine bistabile Kippstufe (Speicherglied) mit verdrahtetem (wired) Ausgang realisieren. Das Funktionsverhalten einer solchen Kippstufe kann durch Tabelle L28.2 dargestellt werden.

$Q_B$	$Q_A$	$X$
L	L	H
L	H	L
H	L	L
H	H	H

**Tabelle L28.2:** Funktionsverhalten von  $T_4$  und  $T_5$

4.  $T_6$  wirkt als Inverter mit Emitterfolger.
5. Die Transistoren  $T_7$  und  $T_8$  wirken als Gegentaktendstufe und haben keinen Einfluss auf die Boolesche Funktion.

Das Boolesche Verhalten des gesamten Schaltkreises zeigt Tabelle L28.3.

$B$	$A$	$Q_A$	$Q_B$	$X$	$Q$
L	L	H	H	H	L
L	H	L	H	L	H
H	L	H	L	L	H
H	H	L	L	H	L

**Tabelle L28.3:** Funktionstabelle eines Schaltkreises des IC7486

Der Schaltkreis realisiert die Antivalenzfunktion (EXOR-Verknüpfung):

$$Q = A \oplus B$$

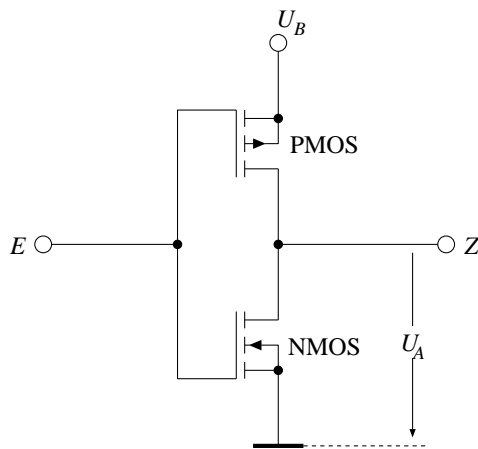
## Lösung der Aufgabe 29: Signalübergangszeiten eines CMOS–NICHT–Gliedes

L.29.1: Einen Inverter in CMOS–Technik (Complementary Metal Oxyd Semiconductor) zu entwerfen, bedeutet, dass sowohl NMOS– als auch PMOS–Transistoren zur Anwendung kommen müssen. Da die Transistoren auf logische Pegel reagieren sollen, wählen wir selbstsperrende Typen (Anreicherungstypen, engl.: Enhancement).

Ein NMOS–Transistor schaltet durch, wenn an seinem Gate eine gegenüber dem Substrat positive Spannung anliegt. Da der Kanal eines NMOS–Transistors Elektronen leitet, ist dann das Potential an seinem Drain klein, bzw. die Spannung gegenüber Substrat nahe null. Legen wir das Gate an den Eingang des Inverters, das Drain an den Ausgang und das Source an den negativen Pol der Spannungsquelle, so sorgt der NMOS–Transistor bereits bei einem H–Pegel am Eingang für einen definierten L–Pegel am Ausgang.

Die gleiche Betrachtung können wir für den PMOS–Transistor anstellen, wenn wir die Potentiale bzw. Spannungsrichtungen vertauschen.

Somit können wir die Schaltung des Inverters in CMOS–Technologie nach Abbildung L29.1 angeben.



**Abb. L29.1:** Inverter in CMOS–Technik

L.29.2: Berechnung der Signalübergangszeit  $t_{HL}$ :

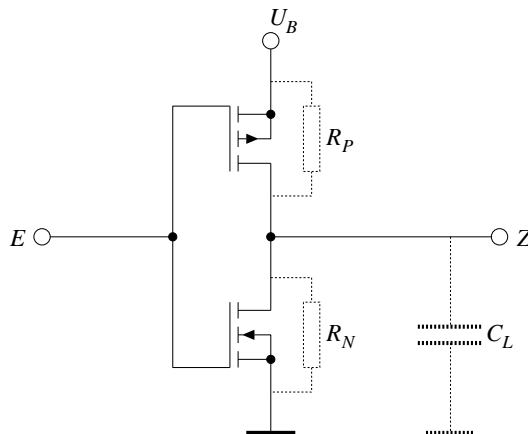
Wird nun der Ausgang des Inverters mit einer kapazitiven Last beschaltet und berücksichtigt man die Kanalwiderstände der Transistoren, so führt dies zum Ersatzschaltbild in Abb. L29.2.

An diesem Ersatzschaltbild lassen sich die für die Signalverzögerung verantwortlichen Vorgänge besser verfolgen.

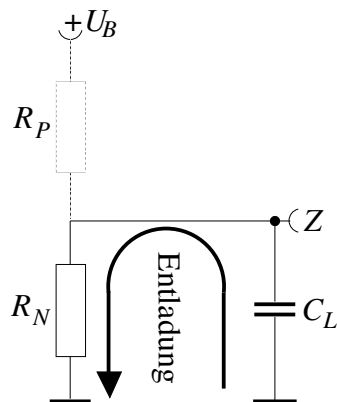
Betrachten wir Abbildung L29.3, so sehen wir den Verlauf der Entladung der Kapazität, wenn der Ausgang vom Zustand H in den Zustand L übergeht. Hierbei nehmen wir an, dass die Dauer des vorherigen H–Zustandes ausgereicht hat, um den Kondensator vollständig zu laden.

Die Entladung eines Kondensators genügt folgender Gleichung:

$$u_C(t) = U_B \cdot e^{-\frac{t}{\tau}}$$



**Abb. L29.2:** Ersatzschaltbild für die kapazitive Belastung



**Abb. L29.3:** Entladung der Kapazität über den Kanalwiderstand des NMOS-Transistors

Hierbei gilt ferner:

- $U_B$ : Spannung mit der der Kondensator aufgeladen ist.
- $\tau = R_N \cdot C_L$ : Zeitkonstante des Entladevorganges (in diesem Fall wird über den Kanalwiderstand des NMOS-Transistors entladen).
- Zum Zeitpunkt  $t = 0$  findet am Eingang der Wechsel von L nach H statt (Inverter!).

Wir berechnen nun den Zeitpunkt  $t_{90}$ , bei dem die Kondensatorspannung nur noch 90 Prozent der Betriebsspannung beträgt:

$$\begin{aligned}
 u_C(t_{90}) &\stackrel{!}{=} 0,9 \cdot U_B \\
 \Rightarrow 0,9 \cdot U_B &= U_B \cdot e^{-\frac{t_{90}}{\tau}} \\
 \Leftrightarrow t_{90} &= -\tau \cdot \ln 0,9 \\
 \Rightarrow t_{90} &= -200 \Omega \cdot 150 \cdot 10^{-12} \text{F} \cdot \ln 0,9 \\
 \Rightarrow t_{90} &\approx 3,16 \text{ nsec}
 \end{aligned}$$

Für den Zeitpunkt  $t_{10}$ , bei dem die Kondensatorspannung nur noch 10 Prozent der Betriebsspannung beträgt, erhalten wir:

$$\begin{aligned}
 u_C(t_{10}) &\stackrel{!}{=} 0,1 \cdot U_B \\
 \Rightarrow 0,1 \cdot U_B &= U_B \cdot e^{-\frac{t_{10}}{\tau}}
 \end{aligned}$$

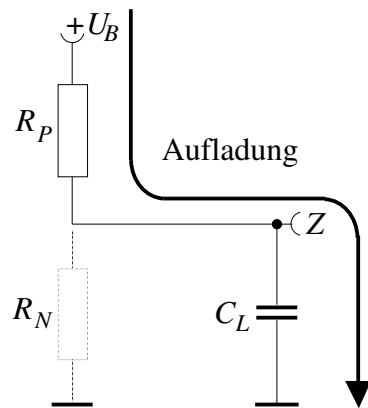


$$\begin{aligned}
 \Leftrightarrow t_{10} &= -\tau \cdot \ln 0,1 \\
 \Rightarrow t_{10} &= -200 \Omega \cdot 150 \cdot 10^{-12} \text{F} \cdot \ln 0,1 \\
 \Rightarrow t_{10} &\approx 69,08 \text{ nsec}
 \end{aligned}$$

Damit ergibt sich die Signalverzögerung zu:  $t_{HL} = t_{10} - t_{90} = 65,92 \text{ nsec}$ .

L.29.3: Berechnung der Signalübergangszeit  $t_{LH}$ :

Hierbei nehmen wir analog zum ersten Fall an, dass die Dauer des L-Zustandes ausgereicht hat, um den Kondensator vollständig zu entladen. Wenn nun der Inverter in den H-Zustand übergeht, wird die Kapazität aufgeladen, das heißt der Spannungsanstieg am Ausgang Z erfolgt „verzögert“. In Abbildung L29.4 ist der dabei auftretende Stromfluss eingezeichnet.



**Abb. L29.4:** Aufladung der Kapazität über den Kanalwiderstand des PMOS-Transistors

Die Aufladung des Kondensators genügt der Gleichung:

$$u_C(t) = U_B (1 - e^{-\frac{t}{\tau}})$$

Hierbei gilt:

- $U_B$ : Spannung, mit der der Kondensator aufgeladen wird.
- $\tau = R_P \cdot C_L$ : Zeitkonstante des Ladevorganges (nun wird ja über den Kanalwiderstand des PMOS-Transistors geladen).
- Zum Zeitpunkt  $t = 0$  findet der Wechsel am Eingang von H nach L statt. Analog zum ersten Fall, berechnen wir nun noch die Zeitpunkte, in denen die Ausgangsspannung  $U_A$  10 bzw. 90 Prozent der Betriebsspannung erreicht. 10 Prozent:

$$\begin{aligned}
 u_C(t_{10}) &\stackrel{!}{=} 0,1 \cdot U_B \\
 \Rightarrow 0,1 \cdot U_B &= U_B (1 - e^{-\frac{t_{10}}{\tau}}) \\
 \Leftrightarrow e^{-\frac{t_{10}}{\tau}} &= 0,9 \\
 \Leftrightarrow \ln 0,9 &= -\frac{t_{10}}{\tau} \\
 \Rightarrow t_{10} &= -\tau \cdot \ln 0,9 \\
 \Rightarrow t_{10} &= -500 \Omega \cdot 150 \cdot 10^{-12} \text{F} \cdot \ln 0,9 \\
 \Rightarrow t_{10} &\approx 7,9 \text{ nsec}
 \end{aligned}$$

90 Prozent:

$$\begin{aligned}
 u_C(t_{90}) &\stackrel{!}{=} 0,9 \cdot U_B \\
 \Rightarrow 0,9 \cdot U_B &= U_B (1 - e^{-\frac{t_{90}}{\tau}}) \\
 \Leftrightarrow e^{-\frac{t_{90}}{\tau}} &= 0,1 \\
 \Rightarrow t_{90} &= -\tau \cdot \ln 0,1 \\
 \Rightarrow t_{90} &= -500 \Omega \cdot 150 \cdot 10^{-12} \text{F} \cdot \ln 0,1 \\
 \Rightarrow t_{90} &\approx 172,69 \text{ nsec}
 \end{aligned}$$

Somit ergibt sich als Signalübergangszeit:  $t_{LH} = t_{90} - t_{10} = 164,79 \text{ nsec}$ .

Zusammenfassend kann man festhalten, dass der Inverter mit einer solchen kapazitiven Last nur so schnell schalten kann, wie seine größte Signalübergangszeit angibt. In diesem Falle gilt:

$$\max(t_{HL}, t_{LH}) = t_{LH} = 164,79 \text{ nsec}$$

Daraus folgt insbesondere, dass der Inverter nur in solchen Systemen verwendet werden kann, deren Taktfrequenz  $f$  kleiner etwa 6 Mhz ist, da  $f_{max} = 1/t_{LH} \approx 6.068 \text{ kHz}$ .

## Lösung der Aufgabe 30: CMOS–NOR–Glied

Betrachtet man die Wertetabelle eines allgemeinen NOR–Gliedes nach Tabelle L30.1, so stellt man fest, dass der Ausgang nur eine 1 aufweist, wenn beide Eingänge 0 sind.

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

**Tabelle L30.1:** Allgemeine NOR–Wertetabelle

Man muss also lediglich dafür sorgen, dass der Ausgang 0–Pegel führt sobald ein Eingang 1–Pegel hat. Dies realisiert man durch zwei parallel geschaltete N–MOS Transistoren (Abb. L30.1).

Jedoch muss am Ausgang nun noch für eine definierte 1 gesorgt werden, wenn beide Eingänge 0 sind und somit die NMOS–Transistoren sperren (Das Potential am Ausgang nach Abb. L30.1 wäre dann undefiniert).

Wir lösen das Problem durch zusätzlich in Reihe geschaltete PMOS–Transistoren die nur eine 1 an den Ausgang „lassen“, wenn sie *beide* durchgeschaltet sind, also an beiden Eingängen eine 0 anliegt.

Damit ergibt sich für das CMOS–NOR–Glied das Schaltbild nach Abb. L30.2.

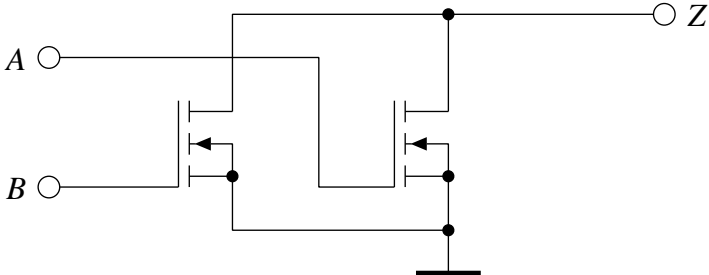


Abb. L30.1: Zwei parallelgeschaltete NMOS-Transistoren

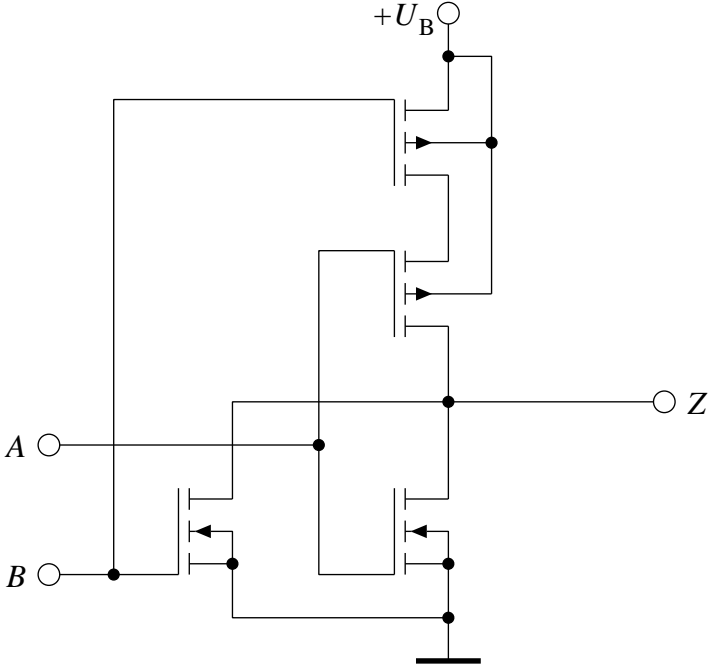


Abb. L30.2: NOR-Glied in CMOS-Technologie