

Inhaltsverzeichnis

Vorwort zur deutschen Ausgabe	13
Vorwort zur Originalausgabe	14
Kapitel 1 Einführung	17
1.1 Strukturierte Computerorganisation	19
1.1.1 Sprachen, Ebenen und virtuelle Maschinen	19
1.1.2 Moderne mehrschichtige Maschinen	21
1.1.3 Evolution mehrschichtiger Maschinen	25
1.2 Meilensteine der Computerarchitektur	30
1.2.1 Die nullte Generation – Mechanische Computer (1642–1945)	31
1.2.2 Die erste Generation – Vakuumröhren (1945–1955)	33
1.2.3 Die zweite Generation – Transistoren (1955–1965)	36
1.2.4 Die dritte Generation – integrierte Schaltungen (1965–1980)	38
1.2.5 Die vierte Generation – VLSI (1980 – ?)	40
1.2.6 Die fünfte Generation – Unsichtbare Computer	42
1.3 Vielfalt der Computer	43
1.3.1 Technologische und wirtschaftliche Kräfte	43
1.3.2 Das Computer-Spektrum	45
1.3.3 Wegwerfcomputer	46
1.3.4 Mikrocontroller	48
1.3.5 Spielkonsolen	49
1.3.6 Personalcomputer	50
1.3.7 Server	51
1.3.8 Verbund von Workstations	52
1.3.9 Mainframes	52
1.4 Beispiele von Computerfamilien	53
1.4.1 Einführung in den Pentium 4	53
1.4.2 Einführung in UltraSPARC III	58
1.4.3 Einführung in den 8051	60
1.5 Metrische Einheiten	62
1.6 Gliederung dieses Buchs	63
Kapitel 2 Aufbau von Computersystemen	69
2.1 Prozessoren	71
2.1.1 Aufbau der CPU	72
2.1.2 Befehlsausführung	73
2.1.3 RISC kontra CISC	77
2.1.4 Designprinzipien moderner Computer	78
2.1.5 Parallelität auf Befehlsebene	80
2.1.6 Parallelität auf Prozessorebene	84

2.2	Hauptspeicher (Primärspeicher)	87
2.2.1	Bits	87
2.2.2	Speicheradressen	88
2.2.3	Bytereihenfolge	89
2.2.4	Fehlerkorrekturcodes	91
2.2.5	Cache-Speicher	95
2.2.6	Speicherbaueinheiten und -typen	98
2.3	Sekundärspeicher	98
2.3.1	Speicherhierarchien	99
2.3.2	Festplatten	100
2.3.3	Disketten	103
2.3.4	IDE-Festplatten	103
2.3.5	SCSI-Festplatten	105
2.3.6	RAID	107
2.3.7	CD-ROMs	110
2.3.8	Einmal beschreibbare CDs	114
2.3.9	Wiederbeschreibbare CDs	116
2.3.10	DVD	117
2.3.11	Blu-Ray	119
2.4	Eingabe/Ausgabe	119
2.4.1	Busse	119
2.4.2	Terminals	122
2.4.3	Mäuse	127
2.4.4	Drucker	128
2.4.5	Telekommunikationsgeräte	134
2.4.6	Digitalkameras	142
2.4.7	Zeichencodes	144

Kapitel 3 Die Ebene der digitalen Logik 155

3.1	Gatter und boolesche Algebra	157
3.1.1	Gatter	157
3.1.2	Boolesche Algebra	159
3.1.3	Implementierung von booleschen Funktionen	161
3.1.4	Schaltungsäquivalenz	163
3.2	Grundsaltungen der digitalen Logik	166
3.2.1	Integrierte Schaltungen	167
3.2.2	Schaltnetze	168
3.2.3	Arithmetische Schaltungen	173
3.2.4	Taktgeber	177
3.3	Speicher	178
3.3.1	Latches	179
3.3.2	Flipflops	181
3.3.3	Register	183
3.3.4	Speicherorganisation	185
3.3.5	Speicherchips	187
3.3.6	RAM und ROM	190

3.4	CPU-Chips und Busse	193
3.4.1	Prozessorchips	193
3.4.2	Computer-Busse	195
3.4.3	Busbreite	198
3.4.4	Bustaktung	199
3.4.5	Bus-Verwaltung	204
3.4.6	Busoperationen	206
3.5	Beispiele für CPU-Chips	209
3.5.1	Pentium 4	209
3.5.2	UltraSPARC III	215
3.5.3	Der 8051	219
3.6	Beispielbusse	221
3.6.1	ISA-Bus	222
3.6.2	PCI-Bus	223
3.6.3	PCI Express	231
3.6.4	USB (Universal Serial Bus)	236
3.7	Schnittstellen	239
3.7.1	E/A-Chips	239
3.7.2	Dekodierung von Adressen	240
Kapitel 4 Die Mikroarchitekturebene		251
4.1	Beispiel einer Mikroarchitektur	253
4.1.1	Der Datenpfad	254
4.1.2	Mikrobefehle	259
4.1.3	Mikrobefehlssteuerung: Mic-1	262
4.2	Eine Beispiel-ISA: IJVM	266
4.2.1	Keller	266
4.2.2	Das IJVM-Speichermodell	268
4.2.3	Der IJVM-Befehlssatz	270
4.2.4	Java zu IJVM kompilieren	274
4.3	Beispielimplementierung	276
4.3.1	Mikrobefehle und Notation	276
4.3.2	IJVM mit der Mic-1 implementieren	280
4.4	Design der Mikroarchitekturebene	294
4.4.1	Geschwindigkeit und Kosten	295
4.4.2	Die Länge des Ausführungspfads reduzieren	297
4.4.3	Design mit Prefetching: Mic-2	304
4.4.4	Fließbandverarbeitung: Mic-3	309
4.4.5	Siebenstufige Pipeline: Mic-4	314
4.5	Leistungsverbesserung	317
4.5.1	Cache-Speicher	318
4.5.2	Sprungvorhersage	324
4.5.3	Out-of-Order-Ausführung und Registerumbenennung	329
4.5.4	Spekulative Ausführung	334

4.6	Beispiele der Mikroarchitekturebene	337
4.6.1	Die Mikroarchitektur des Pentium 4	337
4.6.2	Die Mikroarchitektur der UltraSPARC III-CPU	342
4.6.3	Die Mikroarchitektur der 8051-CPU	347
4.7	Pentium, UltraSPARC und 8051 im Vergleich	349
Kapitel 5	Die ISA-Ebene	357
5.1	Übersicht über die ISA-Ebene	360
5.1.1	Eigenschaften der ISA-Ebene	360
5.1.2	Speichermodelle	361
5.1.3	Register	363
5.1.4	Befehle	365
5.1.5	Übersicht über die ISA-Ebene des Pentium 4	365
5.1.6	Übersicht über die ISA-Ebene des UltraSPARC III	367
5.1.7	Übersicht über die ISA-Ebene des 8051	370
5.2	Datentypen	373
5.2.1	Numerische Datentypen	374
5.2.2	Nicht numerische Datentypen	374
5.2.3	Datentypen des Pentium 4	375
5.2.4	Datentypen des UltraSPARC III	376
5.2.5	Datentypen des 8051	376
5.3	Befehlsformate	377
5.3.1	Designkriterien für Befehlsformate	378
5.3.2	Opcodes erweitern	380
5.3.3	Befehlsformate des Pentium 4	382
5.3.4	Befehlsformate des UltraSPARC III	383
5.3.5	Befehlsformate des 8051	385
5.4	Adressierung	385
5.4.1	Adressierungsmodi	385
5.4.2	Unmittelbare Adressierung	386
5.4.3	Direkte Adressierung	386
5.4.4	Registeradressierung	386
5.4.5	Indirekte Registeradressierung	387
5.4.6	Indizierte Adressierung	388
5.4.7	Basisindizierte Adressierung	389
5.4.8	Kelleradressierung	390
5.4.9	Adressierungsmodi für Verzweigungen	393
5.4.10	Orthogonalität von Opcodes und Adressierungsmodi	394
5.4.11	Adressierungsmodi des Pentium 4	396
5.4.12	Adressierungsmodi des UltraSPARC III	398
5.4.13	Adressierungsmodi des 8051	398
5.4.14	Adressierungsmodi im Vergleich	398
5.5	Befehlstypen	400
5.5.1	Befehle zur Datenbewegung	400
5.5.2	Dyadische Operationen	401
5.5.3	Monadische Operationen	402

5.5.4	Vergleiche und bedingte Verzweigungen	404
5.5.5	Befehle für Prozeduraufrufe	405
5.5.6	Schleifensteuerung	406
5.5.7	Ein-/Ausgabe	408
5.5.8	Befehle des Pentium 4	411
5.5.9	Befehle des UltraSPARC III	415
5.5.10	Befehle des 8051	420
5.5.11	Befehlsätze im Vergleich	424
5.6	Ablaufsteuerung	425
5.6.1	Sequenzielle Ablaufsteuerung und Sprünge	425
5.6.2	Prozeduren	426
5.6.3	Coroutinen	430
5.6.4	Traps	433
5.6.5	Interrupts	433
5.7	Ausführliches Beispiel: Die Türme von Hanoi	437
5.7.1	Türme von Hanoi in der Pentium 4-Assemblersprache	438
5.7.2	Türme von Hanoi in der UltraSPARC III-Assemblersprache	439
5.8	Die IA-64-Architektur und der Itanium 2	441
5.8.1	Das Problem mit dem Pentium 4	442
5.8.2	Das IA-64-Modell: EPIC	443
5.8.3	Verringerung von Speicherreferenzen	444
5.8.4	Befehlsplanung	445
5.8.5	Bedingte Verzweigungen verringern: Prädikation	446
5.8.6	Spekulative Ladeoperationen	449
Kapitel 6	Die Ebene der Betriebssystemmaschine	457
6.1	Virtueller Speicher	459
6.1.1	Seitenauslagerung	460
6.1.2	Implementierung der Seitenauslagerung	462
6.1.3	Seitenanforderung und Arbeitsbereich	465
6.1.4	Seitenersetzung	466
6.1.5	Seitengröße und Fragmentierung	468
6.1.6	Segmentierung	469
6.1.7	Implementierung der Segmentierung	472
6.1.8	Virtueller Speicher im Pentium 4	475
6.1.9	Virtueller Speicher im UltraSPARC III	479
6.1.10	Virtuelle Speicher und Caching	482
6.2	Virtuelle E/A-Befehle	482
6.2.1	Dateien	483
6.2.2	Implementierung virtueller E/A-Befehle	485
6.2.3	Befehle für die Verzeichnisverwaltung	488
6.3	Virtuelle Befehle für parallele Verarbeitung	489
6.3.1	Erstellen von Prozessen	490
6.3.2	Race Conditions	490
6.3.3	Semaphore zur Synchronisierung von Prozessen	495

6.4	Beispiele von Betriebssystemen	498
6.4.1	Einführung	498
6.4.2	Beispiele für virtuellen Speicher	507
6.4.3	Beispiele für virtuelle Ein-/Ausgabe	511
6.4.4	Beispiele der Prozessverwaltung	523

Kapitel 7 Die Ebene der Assemblersprache 539

7.1	Einführung in die Assemblersprache	541
7.1.1	Was ist eine Assemblersprache?	541
7.1.2	Wofür braucht man eine Assemblersprache?	542
7.1.3	Format einer Anweisung in Assemblersprache	544
7.1.4	Pseudobefehle	547
7.2	Makros	550
7.2.1	Definition, Aufruf und Erweiterung eines Makros	550
7.2.2	Makros mit Parametern	552
7.2.3	Erweiterte Funktionen	553
7.2.4	Makrotechnik in einem Assemblierer implementieren	554
7.3	Der Assemblierungsprozess	555
7.3.1	Zwei-Pass-Assemblierer	555
7.3.2	Erster Lauf	556
7.3.3	Zweiter Lauf	560
7.3.4	Die Symboltabelle	561
7.4	Binden und Laden	563
7.4.1	Aufgaben des Linkers	564
7.4.2	Struktur eines Objektmoduls	567
7.4.3	Bindezeit und dynamische Relokation	568
7.4.4	Dynamisches Binden	571
7.4.5	Dynamisches Binden unter Unix	574

Kapitel 8 Parallele Rechnerarchitekturen 581

8.1	Parallelität auf demselben Chip	583
8.1.1	Parallelität auf Befehlsebene	583
8.1.2	On-Chip-Multithreading	590
8.1.3	Chip-Multiprozessoren	596
8.2	Coprozessoren	601
8.2.1	Netzwerkprozessoren	602
8.2.2	Medienprozessoren	610
8.2.3	Kryptoprozessoren	615
8.3	Multiprozessoren mit gemeinsamem Speicher	616
8.3.1	Multiprozessoren und Multicomputer	616
8.3.2	Speichersemantik	623
8.3.3	Symmetrische UMA-Multiprozessorarchitekturen	628
8.3.4	NUMA-Multiprozessoren	636
8.3.5	COMA-Multiprozessorsysteme	644

C.3	Speicher und Adressierung	747
	C.3.1 Speicherorganisation und Segmente	747
	C.3.2 Adressierung	749
C.4	Der Befehlssatz des 8088	753
	C.4.1 Lade-, Kopier und Arithmetikbefehle	756
	C.4.2 Logische Operationen, Bit- und Verschiebeoperationen.....	758
	C.4.3 Schleifen und wiederholte Zeichenfolgenoperationen.....	759
	C.4.4 Sprung- und Aufrufbefehle.....	759
	C.4.5 Unterprogrammaufrufe	761
	C.4.6 Systemaufrufe und Systemunterprogramme	763
	C.4.7 Abschließende Bemerkungen zum Befehlssatz.....	766
C.5	Der Assembler	766
	C.5.1 Einführung	767
	C.5.2 Der ACK-basierte Assembler as88	767
	C.5.3 Einige Unterschiede zu anderen 8088-Assemblern.....	771
C.6	Der Tracer	773
	C.6.1 Tracer-Kommandos.....	774
C.7	Erste Schritte.....	776
C.8	Beispiele	777
	C.8.1 Das Beispiel Hello World	777
	C.8.2 Beispiel für allgemeine Register	780
	C.8.3 Der CALL-Befehl und Zeigerregister	782
	C.8.4 Fehler in einem Programm zur Ausgabe von Feldern suchen ...	785
	C.8.5 Zeichenfolgenmanipulation und Zeichenfolgenbefehle.....	788
	C.8.6 Verzweigungstabellen	791
	C.8.7 Gepufferter und wahlfreier Dateizugriff.....	794

Über den Autor **801**

Register **803**