

# Inhaltsverzeichnis

|  |            |
|--|------------|
| <b>Vorwort</b> .....   | <b>VII</b> |
| <b>Vorwort zur 2. Auflage</b> .....                                      | <b>IX</b>  |
| <b>Inhaltsverzeichnis</b> .....  | <b>XI</b>  |
| <b>1 Grundlagen</b> .....  | <b>1</b>   |
| 1.1 Mikroprozessoren, Mikrocontroller, Signalprozessoren und SoC .....   | 1          |
| 1.2 PC-Systeme .....   | 3          |
| 1.3 Eingebettete und ubiquitäre Systeme .....                            | 6          |
| 1.4 Leistungsmessung und Leistungsvergleich .....                        | 12         |
| <b>2 Grundlegende Prozesstechniken</b> .....                             | <b>17</b>  |
| 2.1 Befehlssatzarchitekturen .....                                       | 17         |
| 2.1.1 Prozessorarchitektur, Mikroarchitektur und Programmiermodell ..... | 17         |
| 2.1.2 Datenformate .....   | 18         |
| 2.1.3 Adressraumorganisation .....                                       | 22         |
| 2.1.4 Befehlssatz .....  | 23         |
| 2.1.5 Befehlsformate .....   | 26         |
| 2.1.6 Adressierungsarten .....   | 28         |
| 2.1.7 CISC- und RISC-Prinzipien .....                                    | 34         |
| 2.2 Befehlssatzbeispiele .....   | 36         |
| 2.2.1 Frühe RISC-Rechner .....   | 36         |
| 2.2.2 Das Berkeley RISC-Projekt .....                                    | 37         |
| 2.2.3 Die DLX-Architektur .....  | 38         |
| 2.3 Einfache Prozessoren und Prozessorkerne .....                        | 41         |
| 2.3.1 Von-Neumann-Prinzip .....  | 41         |
| 2.3.2 Grundlegender Aufbau eines Mikroprozessors .....                   | 44         |
| 2.3.3 Einfache Implementierungen .....                                   | 45         |
| 2.3.4 Pipeline-Prinzip .....   | 46         |
| 2.4 Befehls-Pipelining .....   | 48         |
| 2.4.1 Grundlegende Stufen einer Befehls-Pipeline .....                   | 48         |
| 2.4.2 Die DLX-Pipeline .....   | 49         |
| 2.4.3 Pipeline-Konflikte .....   | 55         |
| 2.4.4 Datenkonflikte und deren Lösungsmöglichkeiten .....                | 55         |
| 2.4.5 Steuerflusskonflikte und deren Lösungsmöglichkeiten .....          | 62         |

|  |            |
|--|------------|
| 2.4.6 Sprungzieladress-Cache .....                                 | 65         |
| 2.4.7 Statische Sprungvorhersagetechniken .....                    | 67         |
| 2.4.8 Strukturkonflikte und deren Lösungsmöglichkeiten .....       | 68         |
| 2.4.9 Ausführung in mehreren Takten.....                           | 69         |
| 2.5 Weitere Aspekte des Befehls-Pipelining .....                   | 71         |
| <b>3 Mikrocontroller .....</b>                                     | <b>73</b>  |
| 3.1 Abgrenzung zu Mikroprozessoren .....                           | 74         |
| 3.2 Anwendungsfelder.....  | 82         |
| 3.2.1 Prozesssteuerung .....                                       | 82         |
| 3.2.2 Steuerung von Bedienelementen .....                          | 90         |
| 3.3 Leistungsklassen und industrielle Mikrocontrollerfamilien..... | 91         |
| 3.4 Auswahlkriterien für den Einsatz von Mikrocontrollern .....    | 98         |
| 3.5 Software-Entwicklung .....                                     | 103        |
| 3.6 Forschungstrends .....   | 107        |
| 3.6.1 Systems-on-Chip (SoC).....                                   | 108        |
| 3.6.2 Energiespar-Techniken.....                                   | 113        |
| 3.6.3 Java und Java-Prozessoren für eingebettete Systeme.....      | 118        |
| 3.6.4 Selbstorganisation und Organic Computing.....                | 122        |
| <b>4 Mikrocontroller-Komponenten.....</b>                          | <b>135</b> |
| 4.1 Prozessorkerne.....  | 135        |
| 4.2 Ein-/Ausgabeeinheiten.....                                     | 138        |
| 4.2.1 Anbindung an den Prozessorkern.....                          | 138        |
| 4.2.2 Digitale parallele Ein-/Ausgabeeinheiten.....                | 143        |
| 4.2.3 Digitale serielle Ein-/Ausgabeeinheiten .....                | 146        |
| 4.2.4 Wandlung zwischen analogen und digitalen Signalen .....      | 154        |
| 4.3 Zeitgeberbasierte Einheiten .....                              | 163        |
| 4.3.1 Zähler und Zeitgeber .....                                   | 164        |
| 4.3.2 Capture-und-Compare-Einheit .....                            | 169        |
| 4.3.3 Pulsweitenmodulator .....                                    | 170        |
| 4.3.4 Watchdog-Einheit.....  | 174        |
| 4.3.5 Echtzeit-Ein-/Ausgabeeinheiten.....                          | 175        |
| 4.4 Speicher .....   | 177        |
| 4.4.1 Festwertspeicher.....  | 179        |
| 4.4.2 Schreib-/Lesespeicher .....                                  | 181        |
| 4.5 Unterbrechungssteuerung .....                                  | 183        |
| 4.6 DMA.....   | 192        |
| 4.7 Erweiterungsbus .....  | 196        |
| <b>5 Beispiele verschiedener Mikrocontroller.....</b>              | <b>201</b> |
| 5.1 ATmega128 – ein kompakter Mikrocontroller .....                | 201        |
| 5.1.1 Prozessorkern .....  | 203        |
| 5.1.2 Unterbrechungsbehandlung.....                                | 209        |
| 5.1.3 Speicher und Adressraum.....                                 | 211        |
| 5.1.4 Ein-/Ausgabeeinheiten und Zähler/Zeitgeber.....              | 212        |

|   |            |
|---|------------|
| 5.1.5 Erweiterungsbus .....   | 218        |
| 5.2 MC68332 – ein Mikrocontroller mittlerer Leistung .....              | 219        |
| 5.2.1 Prozessorkern .....   | 221        |
| 5.2.2 Unterbrechungsbehandlung .....                                    | 224        |
| 5.2.3 Speicher und Adressraum .....                                     | 226        |
| 5.2.4 Ein-/Ausgabeeinheiten und Zähler/Zeitgeber .....                  | 228        |
| 5.2.5 Erweiterungsbus .....   | 233        |
| 5.3 PXA255 – ein Hochleistungs-Mikrocontroller .....                    | 237        |
| 5.3.1 Prozessorkern .....   | 239        |
| 5.3.2 Unterbrechungsbehandlung .....                                    | 242        |
| 5.3.3 Speicher und Adressraum .....                                     | 244        |
| 5.3.4 Ein-/Ausgabeeinheiten und Zähler/Zeitgeber .....                  | 245        |
| 5.3.5 Erweiterungsbus .....   | 252        |
| 5.4 MCore – optimiert für niedrigen Energieverbrauch .....              | 253        |
| 5.4.1 Reduktion der Busaktivitäten und Erhöhung der Code-Dichte .....   | 255        |
| 5.4.2 Statisches Power-Management .....                                 | 257        |
| 5.4.3 Dynamisches Power-Management .....                                | 259        |
| 5.5 Komodo – ein Forschungs-Mikrocontroller .....                       | 260        |
| 5.5.1 Prozessorkern .....   | 262        |
| 5.5.2 Echtzeit-Scheduling .....   | 265        |
| 5.5.3 Unterbrechungsbehandlung .....                                    | 267        |
| 5.5.4 Anbindung der peripheren Komponenten .....                        | 269        |
| 5.5.5 Evaluierungs-Ergebnisse .....                                     | 270        |
| 5.5.6 Weiterführende Konzepte .....                                     | 275        |
| <b>6 Hochperformante Mikroprozessoren .....</b>                         | <b>281</b> |
| 6.1 Von skalaren RISC- zu Superskalarprozessoren .....                  | 281        |
| 6.2 Komponenten eines superskalaren Prozessors .....                    | 284        |
| 6.3 Superskalare Prozessor-Pipeline .....                               | 286        |
| 6.4 Präzisierung des Begriffs „superskalar“ .....                       | 289        |
| 6.5 Die VLIW-Technik .....  | 290        |
| 6.6 Die EPIC-Technik .....  | 292        |
| 6.7 Vergleich der Superskalar- mit der VLIW- und der EPIC-Technik ..... | 293        |
| <b>7 Die Superskalartechnik .....</b>                                   | <b>297</b> |
| 7.1 Befehlsbereitstellung .....   | 297        |
| 7.1.1 Code-Cache-Speicher .....   | 297        |
| 7.1.2 Befehlsholestufe .....  | 298        |
| 7.1.3 Trace Cache .....   | 299        |
| 7.2 Sprungvorhersage und spekulative Ausführung .....                   | 301        |
| 7.2.1 Grundlagen .....  | 301        |
| 7.2.2 Dynamische Sprungvorhersagetechniken .....                        | 302        |
| 7.2.3 Ein- und Zwei-Bit-Prädiktoren .....                               | 304        |
| 7.2.4 Korrelationsprädiktoren .....                                     | 307        |
| 7.2.5 Zweistufig adaptive Prädiktoren .....                             | 308        |
| 7.2.6 gselect- und gshare-Prädiktoren .....                             | 315        |

|           |   |            |
|-----------|---|------------|
| 7.2.7     | Hybridprädiktoren .....   | 316        |
| 7.2.8     | Zuverlässigkeitsabschätzung .....   | 318        |
| 7.2.9     | Weitere Prädiktoren zur Interferenzverringerng.....                           | 319        |
| 7.2.10    | Prädikation .....   | 322        |
| 7.2.11    | MehrpfadAusführung .....  | 324        |
| 7.2.12    | Vorhersage bedingter Sprungbefehle mit indirekter<br>Adressierung .....       | 326        |
| 7.2.13    | Stand der Technik.....  | 327        |
| 7.2.14    | Sprungvorhersage mit hoher Bandbreite .....                                   | 328        |
| 7.3       | Decodierung und Registerumbenennung.....                                      | 329        |
| 7.3.1     | Decodierung .....   | 329        |
| 7.3.2     | Registerumbenennung .....   | 330        |
| 7.4       | Befehlszuordnung .....  | 333        |
| 7.5       | Ausführungsstufen.....  | 340        |
| 7.6       | Gewährleistung der sequenziellen Programmsemantik .....                       | 345        |
| 7.6.1     | Rückordnungsstufe.....  | 345        |
| 7.6.2     | Präzise Unterbrechungen.....  | 346        |
| 7.6.3     | Rückordnungspuffer.....   | 347        |
| 7.7       | Verzicht auf die Sequenzialisierung bei der Rückordnung.....                  | 348        |
| <b>8</b>  | <b>Speicherverwaltung.....</b>  | <b>351</b> |
| 8.1       | Speicherhierarchie .....  | 351        |
| 8.2       | Register und Registerfenster.....   | 353        |
| 8.3       | Virtuelle Speicherverwaltung .....  | 357        |
| 8.4       | Cache-Speicher.....   | 362        |
| 8.4.1     | Grundlegende Definitionen .....   | 362        |
| 8.4.2     | Grundlegende Techniken .....  | 363        |
| 8.4.3     | Verringern der Fehlzugriffsrate.....  | 369        |
| 8.4.4     | Verringern des Fehlzugriffsaufwandes.....                                     | 372        |
| 8.4.5     | Verringern der Cache-Zugriffszeit bei einem Treffer .....                     | 373        |
| 8.4.6     | Cache-Kohärenz und Speicherkonsistenz .....                                   | 376        |
| 8.4.7     | Busschnüffeln und MESI-Protokoll .....  | 377        |
| 8.4.8     | Speicherkonsistenz .....  | 380        |
| <b>9</b>  | <b>Beispiele für Mikroprozessoren .....</b>                                   | <b>383</b> |
| 9.1       | PentiumPro, Pentium II und Pentium III .....                                  | 383        |
| 9.2       | Athlon .....  | 385        |
| 9.3       | Pentium 4.....  | 387        |
| <b>10</b> | <b>Zukunftstechniken für Mikroprozessoren .....</b>                           | <b>393</b> |
| 10.1      | Technologieprognosen.....   | 393        |
| 10.2      | Stand der Technik und Grenzen heutiger Prozessortechniken.....                | 395        |
| 10.3      | Prozessortechniken zur Erhöhung des Durchsatzes eines<br>Kontrollfadens ..... | 398        |
| 10.3.1    | Weiterentwicklungen des Trace Cache .....                                     | 398        |
| 10.3.2    | Datenabhängigkeits-, Adress- und Wertespekulationen.....                      | 399        |

---

|           |   |            |
|-----------|---|------------|
| 10.3.3    | Vielfach superskalare Prozessoren .....   | 400        |
| 10.4      | Prozessortechniken zur Erhöhung des Durchsatzes einer mehr-<br>fädigen Last ..... | 402        |
| 10.4.1    | Chip-Multiprozessor .....   | 402        |
| 10.4.2    | Prozessor-Speicher-Integration .....  | 406        |
| 10.4.3    | Mehrfädige Prozessoren .....  | 407        |
| 10.5      | Kontrollfadenspekulation.....   | 417        |
| 10.5.1    | Multiskalarer Prozessor .....   | 417        |
| 10.5.2    | Trace-Prozessor .....   | 419        |
| 10.5.3    | Weitere Techniken der Kontrollfadenspekulation.....                               | 420        |
| <b>11</b> | <b>Zusammenfassung .....</b>  | <b>423</b> |
|           | <b>Literatur .....</b>  | <b>425</b> |
|           | <b>Sachverzeichnis.....</b>   | <b>439</b> |