

Inhaltsverzeichnis

1	Einleitung	1
2	Eingebettete parallele Rechnerarchitekturen	7
2.1	Leistungsabschätzungen und Prognosen für CMPs	8
2.1.1	AMDAHLS Gesetz – eine asymptotische Barriere für Parallelrechner?	8
2.1.2	GUSTAFSONS Gesetz – ein Ausweg für die Parallelwelt?	9
2.1.3	Weiterführende Ansätze	10
2.1.4	Trends bei parallelen eingebetteten Systemen	11
2.2	Kernkomponenten eingebetteter paralleler Rechnerarchitekturen	14
2.3	On-Chip-Netzwerke	15
2.3.1	NoC-Topologien	15
2.3.2	Organisation von On-Chip-Kommunikation	21
2.3.3	Beispiele von On-Chip-Netzwerken	32
2.3.4	Anforderungen an On-Chip-Netzwerke	34
2.4	Eingebettete Verarbeitungseinheiten	34
2.4.1	Anforderungen an eingebettete Verarbeitungseinheiten	35
2.4.2	Klassen eingebetteter Verarbeitungseinheiten	35
2.4.3	Charakteristika von eingebetteten Prozessoren	37
2.4.4	Methoden zur Erhöhung der Leistungsfähigkeit von Prozessoren	38
2.4.5	Beispiele eingebetteter Prozessorkerne	39
2.5	Speicher für eingebettete Systeme	41
2.5.1	Wesentliche Charakteristika von Speicherstrukturen	42
2.5.2	Anforderungen an eingebettete Speicher	44
2.6	Anwendungsgebiete von On-Chip-Parallelrechnern	44
2.7	Anforderungen an Chip-Multiprozessoren	45
2.8	Varianten eingebetteter paralleler Rechnerarchitekturen	47
2.8.1	Beispiele zu Chip-Multiprozessoren	49
2.8.2	Ansätze für Chip-Multiprozessoren mit akademischem Ursprung	49
2.8.3	Ansätze für Chip-Multiprozessoren aus der Industrie	51

2.8.4 Resümierender Vergleich mit dem GigaNetIC-Ansatz.....	55
2.9 Zusammenfassung	58
3 Charakterisierung und analytische Modellierung	59
3.1 Ressourceneffizienz eingebetteter Systeme.....	59
3.2 Bewertungsmaße für Ressourceneffizienz	63
3.2.1 Bewertungsmaße zur Performanz	63
3.2.2 Bewertungsmaße zur Leistungsaufnahme.....	65
3.2.3 Bewertungsmaße zur Fläche	67
3.2.4 Bewertungsmaße zur Zukunftssicherheit und Flexibilität	68
3.2.5 Effizienzmaße zur Bewertung.....	71
3.3 Die vier bestimmenden Kostenmaße der Ressourceneffizienz	72
3.4 Zusammenfassung	74
4 Die GigaNetIC-Systemarchitektur	75
4.1 Neuartiges, ressourceneffizientes und skalierbares CMP-Systemkonzept.....	75
4.2 GigaNoC-On-Chip-Kommunikationsstruktur	78
4.2.1 Switch-Boxen als zentrale Kommunikationsknoten auf SoC-Ebene.....	79
4.2.2 On-Chip-Kommunikationsprotokoll	86
4.2.3 Performanzanalyse der Kommunikationsinfrastruktur	89
4.2.4 Bussysteme auf Cluster-Ebene.....	93
4.3 Verarbeitungseinheiten auf PE-, Cluster- und SoC-Ebene.....	94
4.3.1 Prozessorkern	95
4.3.2 Systemerweiterungen und Peripherie – das Prozessorsubsystem	97
4.3.3 Hardwarebeschleuniger.....	100
4.3.4 Sonstige IP-Blöcke.....	102
4.4 Speicher	103
4.4.1 Lokaler Speicher auf Cluster-Ebene	103
4.4.2 Cache-Speicher auf Cluster-Ebene.....	104
4.4.3 Hauptspeicher.....	108
4.5 Programmiermodell	109
4.5.1 Programmiermodell auf Clusterebene.....	110

4.5.2	Programmiermodell auf SoC-Ebene – <i>Bulk Synchronous Parallel</i>	111
4.5.3	Programmiermodell auf SoC-Ebene – Zentraler Kontrollprozessor	113
4.6	Diskussion von Topologie und Routingverfahren	114
4.7	Skalierung des Systems durch Variation von Systemparametern	117
4.8	Zusammenfassung	118
5	Analyse und funktionale Verifikation des Chip-Multiprozessorsystems	121
5.1	C-basierter Cluster-Simulator zur Simulation und Profilierung	123
5.2	Modellierung des GigaNetIC-Chip-Multiprozessors in SystemC	126
5.3	HDL-basierte Simulation auf Register-Transfer-Ebene	127
5.4	MultiSim – Parametervariation zur gezielten Entwurfsraumexploration	132
5.5	Systememulation mit einem Rapid-Prototyping-System	133
5.6	Einheitliche Übersetzer-Werkzeugkette	134
5.7	Zusammenfassung	136
6	Optimierung der Multiprozessorarchitektur	137
6.1	Optimierungsmethodik	137
6.2	Optimierung auf Prozessorebene	140
6.2.1	Compilerbasierter Entwurfsprozess zur Prozessoroptimierung	141
6.2.2	Hardwarebasierter Entwurfsprozess zur Prozessoroptimierung	143
6.2.3	Optimierungspotential von Befehlssatzerweiterungen – ein Beispiel	145
6.2.4	Implementierte anwendungsspezifische Instruktionen	148
6.3	Optimierung: Hardwarebeschleuniger auf Cluster- und SoC-Ebene	149
6.3.1	Optimierungspotential von Hardwarebeschleunigern – ein Beispiel	150
6.4	Kostenanalyse am Beispiel einer Netzwerkanwendung	163
6.5	Implementierte anwendungsspezifische Hardwarebeschleuniger	169
6.6	Optimierungspotential der Kommunikationsinfrastruktur	170
6.7	Optimierung im Hinblick auf die Speicherhierarchie	172
6.8	Optimierung auf SoC-Ebene – Einsatz paralleler Prozessorfelder	177
6.8.1	Optimierung der System- und Anwendungssoftware	177
6.8.2	Optimierung der Aufgabenverteilung und Interprozesskommunikation	178
6.9	Zusammenfassung	181

7	Performanzanalyse skalierbarer GigaNetIC-Netzwerkprozessoren	183
7.1	Einsatzgebiet im Zugangsnetzwerk – DSLAM	184
7.2	Definition eines IP-DSLAM-Benchmarks auf Systemebene	186
7.2.1	Funktionelle Spezifikation	187
7.2.2	Implementierung	188
7.2.3	Verkehrsmodell	188
7.2.4	Bewertungsmethode zum Vergleich unterschiedlicher Architekturen	189
7.2.5	DSLAM-Benchmarkanalysen für skalierbare GigaNetIC-CMPs	190
7.3	Instruktionssatzerweiterungen zur optimierten Protokollverarbeitung	192
7.4	Modulare, effiziente Modellierung von Netzwerkanwendungen	194
7.4.1	Erweiterung des DSLAM-Benchmarks zum Referenzbenchmark	196
7.4.2	IP-DSLAM-Referenzbenchmark – Ergebnisse	197
7.5	Visualisierungswerkzeug zur Entwurfsraumexploration	203
7.5.1	Vergleich eingebetteter Prozessorkerne – DSLAM-System-Explorer I	204
7.5.2	Einbeziehung von HW-Erweiterungen – DSLAM-System-Explorer II	207
7.6	Einsatz GigaNetIC-basierter Netzwerkprozessoren als Router	210
7.7	Analyse der Anschlussarten von Hardwarebeschleunigern im GigaNoC	211
7.8	Zusammenfassung	215
8	Prototypische Implementierung des Systems	217
8.1	FPGA-Realisierung – GigaNetIC-Prototyping-Plattform	217
8.1.1	Aufbau und Syntheseergebnisse	218
8.1.2	GigaNetIC-Demonstrator – Einsatz in einem realen Netzwerkszenario	220
8.2	ASIC-Realisierung in CMOS-Standardzellen	223
8.2.1	GigaNetIC-Architektur mit SRAM-basiertem L1-Speicher	223
8.2.2	GigaNetIC-Architektur mit integrierten Multiprozessorcaches	226
8.2.3	„Floorplan“ – ressourceneffiziente, kachelförmige Flächenaufteilung	227
8.3	Bewertung der Ressourceneffizienz	230
8.3.1	Einheitliche, werkzeuggestützte Performanzbewertung	231
8.3.2	Universalbenchmarks zur Bewertung der GigaNetIC-Architektur	232
8.3.3	Netzwerkbenchmark zur Bewertung der GigaNetIC-Architektur	233

8.4 Zukünftige Architekturen	236
8.5 Zusammenfassung	237
9 Zusammenfassung und Ausblick	239
Verzeichnis verwendeter Formelzeichen und Abkürzungen	245
Literaturverzeichnis.....	251
Eigene Veröffentlichungen	263
Anhang A (GigaNetIC-C-Bibliotheksfunktionen).....	267
Anhang B (Parametrisierbarkeit der GigaNetIC-Architektur).....	269
Anhang C (Ablauf der Kommunikation auf Switch-Box-Ebene).....	273
Anhang D (Instruktionssatz des N-Cores)	275
Anhang E (Details zum IP-Headercheck-Hardwarebeschleuniger).....	279
Anhang F (IP-DSLAM-Referenzbenchmark)	281