

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
<b>2</b>	<b>Zielsetzung und Vorgehensweise</b>	<b>2</b>
<b>3</b>	<b>Entwurf integrierter Schaltungen und Systeme</b>	<b>4</b>
3.1	Entwurfsverfahren . . . . .	5
3.2	Entwurfsprobleme . . . . .	8
<b>4</b>	<b>Qualität integrierter Schaltungen und Systeme</b>	<b>11</b>
4.1	Qualitätsbegriffe . . . . .	11
4.2	Qualität und Komplexität . . . . .	14
<b>5</b>	<b>Testen integrierter Schaltungen und Systeme</b>	<b>16</b>
5.1	Ebenen des Testeinsatzes . . . . .	17
5.2	Problem des Testens . . . . .	18
5.2.1	Die Komplexität des Testens . . . . .	19
5.3	Testkosten . . . . .	19
5.3.1	Die Zusammensetzung der Testkosten . . . . .	20
5.4	Die Zukunft der Testtechnik . . . . .	20
<b>6</b>	<b>Testbarkeit</b>	<b>23</b>
6.1	Testbarkeitsbegriffe . . . . .	23
6.2	Testbarkeitsanalyse . . . . .	24
<b>7</b>	<b>Prüffreundlicher Entwurf</b>	<b>25</b>
7.1	Prüfbarkeitsregeln . . . . .	25
7.2	Klassifizierung prüftechnischer Entwurfsregeln . . . . .	27
7.3	Automatische Kontrolle der Prüfbarkeitsregeln . . . . .	32
<b>8</b>	<b>Anforderungen an ein Kontrollsystem für Entwurfsqualität</b>	<b>34</b>
<b>9</b>	<b>Testproblem und wissensbasierte Systeme</b>	<b>36</b>
9.1	Allgemeines System . . . . .	38
9.2	Aufbau wissensbasierter Systeme . . . . .	39

9.3	Arbeitsweise . . . . .	41
9.4	Logische Programmierung und Prolog . . . . .	42
9.5	ADT Frame . . . . .	43
9.5.1	Beispiel zu Frames . . . . .	44
<b>10</b>	<b>Prototyp eines regelbasierten Systems zur Überprüfung prüftechnischer Entwurfsregeln</b> . . . . .	<b>46</b>
10.1	Systemarchitektur . . . . .	47
10.2	Eingabe der Schaltungsbeschreibung . . . . .	47
10.2.1	Definition eines Schaltungsgraphen . . . . .	48
10.3	Umsetzung der RT-Beschreibung in einen attributierten Schaltungsgraphen . . . . .	50
10.3.1	Schaltungsanalyse . . . . .	51
10.3.1.1	Einschränkungen des CAP-Sprachumfangs . . . . .	51
10.3.2	Schaltungstransformation . . . . .	53
10.3.2.1	Konzept der Transformation . . . . .	54
10.4	DFT-Beschreibung . . . . .	57
10.4.1	Allgemeine Strukturmerkmale . . . . .	57
10.4.2	Input-Descriptor-Relationen . . . . .	58
10.4.3	Output Descriptor Signal Set . . . . .	58
10.4.4	Symbolische Signale . . . . .	58
10.5	Eingabe der prüftechnischen Entwurfsregeln . . . . .	58
10.5.1	Eingabe des DFT-Kalküls . . . . .	59
10.5.2	Regeleingabe . . . . .	59
10.5.3	Formulierung der Regelsätze . . . . .	61
10.5.3.1	Anforderungen und Vorgehensweise . . . . .	61
10.5.3.2	Arbeitsweise des Regelformulierers . . . . .	61
10.5.3.3	Inferenzkomponente . . . . .	63
10.5.3.4	Dynamische Wertebereiche . . . . .	64
10.5.3.5	Wissensbasis . . . . .	66
10.5.3.6	Wirkungsweise verschiedener Tools . . . . .	68
10.5.3.7	Benutzertexte . . . . .	73
10.6	Schaltungsanalyse mit dem Rule Checker . . . . .	74
10.6.1	Spezifikation des Rule Checkers . . . . .	75
10.6.2	Erzeugung eines Transfergraphen . . . . .	75
10.6.3	Regelüberprüfung . . . . .	76
10.6.3.1	Regelunabhängiger Transferalgorithmus . . . . .	77
10.6.3.2	Regelabhängige Parametrisierung . . . . .	78
10.6.3.2.1	Beispiele für Entwurfsregeln . . . . .	78
10.6.3.2.2	Definition initialer Signale . . . . .	78
10.6.3.2.3	Angabe der verwendeten IDRs . . . . .	79
10.6.3.2.4	Formulierung der DFT-Check-Regeln . . . . .	80
10.6.3.2.5	Formulierung der Transfer-Regeln . . . . .	81

10.6.3.2.6	Formulierung der Modify-IDR-Regeln . . . . .	81
10.6.3.2.7	Formulierung der Rekonvergenz-Regeln . . . . .	82
<b>11</b>	<b>Implementierung des Systems</b>	<b>83</b>
11.1	Verwendete Datenstruktur . . . . .	83
11.1.1	Frames zur Darstellung eines Schaltungsgraphen . . . . .	83
11.2	Implementierung des CAP → PROLOG-Umsetzers . . . . .	85
11.2.1	Der Analyse-Compiler . . . . .	85
11.2.1.1	Attributierung der Grammatik . . . . .	85
11.2.1.2	Erstellung des Scanner-Moduls . . . . .	88
11.2.2	Der Transform-Compiler . . . . .	88
11.2.2.1	Attributierung der Grammatik . . . . .	91
11.2.2.2	Erstellung des Scanner-Moduls . . . . .	92
11.2.2.3	Ausgabe der Elemente . . . . .	93
11.2.3	Der Transform-Postprozessor . . . . .	99
11.2.4	Generierung der Steuerdatei für den Rule Checker . . . . .	101
11.3	DFT-Beschreibungen . . . . .	101
11.3.1	Objektbaum von IDR . . . . .	101
11.3.1.1	Beispiel einer IDR . . . . .	102
11.3.2	Objektbaum symbolischer Signale . . . . .	103
11.3.2.1	Signalmengen . . . . .	103
11.3.3	Beispiele einfacher ODSSs . . . . .	104
11.3.4	DFT-Beschreibung von Fanout-Knoten . . . . .	105
11.4	Infix-Präfix-Wandler . . . . .	106
11.5	Implementierung des Transferalgorithmus . . . . .	108
11.5.1	Generierung initialer Signalmengen . . . . .	109
11.5.2	Generierung initialer IDRs . . . . .	109
11.5.3	Globaler Transferablauf . . . . .	0.1
11.6	Regelinterpreter . . . . .	111
<b>12</b>	<b>Zusammenfassung und Ausblick</b>	<b>113</b>
	<b>Literaturverzeichnis</b>	<b>115</b>
	<b>Abkürzungsverzeichnis</b>	<b>122</b>
	<b>Stichwortverzeichnis</b>	<b>123</b>
	<b>Anhang A. Beispielhafter Ablauf einer Konsultation</b>	<b>125</b>
	<b>Anhang B. Implementierung der Inferenzkomponente</b>	<b>136</b>
	<b>Anhang C. Implementierung der dynamischen Wertebereiche</b>	<b>146</b>
	<b>Anhang D. Implementierung der Wissensbasis</b>	<b>154</b>