

Inhaltsverzeichnis

1 Einleitung	1
2 Rekonfigurierbare Hardware	3
2.1 Historische Entwicklung	8
2.2 Klassifikationskriterien	11
2.2.1 Logikblock-Granularität	11
2.2.2 Logikblock-Anordnung	12
2.2.3 Verdrahtungsstruktur	13
2.2.4 Konfigurationsspeicher	14
2.2.5 Art der Prozessorkopplung	14
2.3 Rekonfigurationsprozess	15
2.3.1 Rekonfigurationsmodelle	16
2.3.2 Reduzierung der Rekonfigurationskosten	20
2.4 Architekturen.....	24
2.4.1 Xilinx Virtex FPGAs.....	24
2.4.2 PACT XPU128	28
2.4.3 Weitere Architekturen.....	31
3 Einbettung in eine Universalprozessorumgebung	33
3.1 Beschleunigungsmaß	33
3.2 Bewertungsmaße	35
3.3 Kommunikationsmodell.....	37
3.3.1 Modellelemente	37
3.3.2 Gesamtmodell.....	43
3.3.3 Beispiele	46
3.3.4 Synchronisierung	49
3.3.5 Taktdomänenübergang	50
3.4 Einbettungsvarianten	52
3.4.1 Datenpfad-Kopplung.....	53
3.4.2 Prozessorbus-Kopplung.....	58
3.4.3 Peripheriebus-Kopplung.....	63
3.5 Resultierende Anwendungskriterien.....	65

4 Entwicklungsumgebung RAPTOR2000

67

4.1 Architekturkonzept	67
4.2 Trägersystem	70
4.2.1 Kommunikations-Infrastruktur	71
4.2.2 Administration	83
4.2.3 Diagnose	88
4.2.4 Konfiguration	89
4.3 Module	98
4.3.1 FPGA-Modul	99
4.3.2 Testmodul	100
4.4 Analyse der Kommunikationszeiten	104
4.4.1 Extern initiierte Zugriffe	105
4.4.2 Intern initiierte Zugriffe	106
4.4.3 DMA-Transfers	108
4.5 Entwurfsunterstützung	110
4.5.1 FPGA-Entwurfsablauf	110
4.5.2 Simulationsmodell	111
4.5.3 Schnittstellen	112
4.6 Zusammenfassung	116

5 Anwendungsbeispiel octreebasierter 3D-Grafik

117

5.1 Octreebasierte Objektrepräsentation	117
5.1.1 Objektraumzerlegung	118
5.1.2 Kenngrößen	118
5.1.3 Bitblöcke	119
5.1.4 Funktionsklassen	120
5.2 Softwareimplementierung	123
5.3 Analysen	124
5.3.1 Baumstruktur	124
5.3.2 Speicherbedarf	126
5.3.3 Laufzeitanalysen	126
5.3.4 Bewertung	129
5.4 Hardwareimplementierung	131
5.4.1 Architektur des Octchips	132
5.4.2 Syntheseergebnisse	135

5.5	Modellierung verschiedener Einbettungsvarianten	136
5.5.1	Implementierung der Low-Level-Funktionsklasse	137
5.5.2	Implementierung der Mid-Level-Funktionsklasse.....	140
5.5.3	Implementierung der High-Level-Funktionsklasse	142
5.5.4	Nutzung dynamischer Rekonfiguration.....	144
5.6	Zusammenfassung	147
6	Technologische Entwicklungen	149
6.1	Entwicklung von FPGAs	149
6.2	Entwicklung von Prozessoren	151
6.3	Ursache der Leistungslücke	153
6.4	Entwicklung von Kommunikation.....	154
6.5	Auswirkungen auf die Beschleunigungsfaktoren.....	156
7	Zusammenfassung	159
	Anhang A Kommunikationsmodell	163
	Anhang B Profiler-Ergebnisse	165
	Anhang C Octchip-Befehlssatz	167
	Symbolverzeichnis	169
	Abkürzungen	173
	Abbildungsverzeichnis	177
	Tabellenverzeichnis	181
	Literaturverzeichnis	183