

# Inhaltsverzeichnis

	<b>Vorwort</b>	<b>13</b>
<b>1</b>	<b>Einleitung</b>	<b>15</b>
1.1	Wozu dieses Buch?	15
1.2	Welchen Hintergrund sollten Sie mitbringen?	15
1.3	Was umfasst dieses Buch?	15
1.4	Lernziele	15
1.5	Die technologische Entwicklung	16
1.6	Leistungsmaßstäbe	16
1.6.1	MIPS	17
1.6.2	CPI/IPC	17
1.6.3	Benchmarks	18
1.6.4	Geometrisches und arithmetisches Mittel	19
1.7	Beschleunigung	19
1.8	Amdahls Gesetz	20
1.9	Zusammenfassung	21
1.10	Aufgaben mit Lösungen	21
<b>2</b>	<b>Darstellung von Daten und Computerarithmetik</b>	<b>31</b>
2.1	Lernziele	31
2.2	Vom Elektron zum Bit	31
2.3	Die binäre Darstellung von positiven Ganzzahlen	32
2.4	Arithmetische Operationen mit positiven Ganzzahlen	33
2.4.1	Addition/Subtraktion	34
2.4.2	Multiplikation	34
2.4.3	Division	36
2.4.4	Überlauf/Unterlauf	36
2.5	Negative Ganzzahlen	37
2.5.1	Darstellung mit Betrag und Vorzeichen	37
2.5.2	Zweierkomplement-Schreibweise	38

2.5.3	Vorzeichenerweiterung	40
2.6	Fließkommazahlen	41
2.6.1	NaNs und denormalisierte Zahlen	43
2.6.2	Arithmetische Operationen mit Fließkommazahlen	44
2.7	Zusammenfassung	46
2.8	Aufgaben mit Lösungen	48
<b>3</b>	<b>Der Aufbau von Computern</b>	<b>57</b>
3.1	Lernziele	57
3.2	Einführung	57
3.3	Programme	58
3.3.1	Werkzeuge zur Programmentwicklung	59
3.4	Betriebssysteme	61
3.4.1	Multitasking	62
3.4.2	Schutz	63
3.4.3	Privilegierter Modus	63
3.5	Computerorganisation	63
3.5.1	Der Prozessor	64
3.5.2	Der Speicher	65
3.5.3	Das Ein-/Ausgabe-Teilsystem	66
3.6	Zusammenfassung	67
3.7	Aufgaben mit Lösungen	67
<b>4</b>	<b>Programmiermodelle</b>	<b>73</b>
4.1	Lernziele	73
4.2	Einführung	73
4.3	Arten von Anweisungen	74
4.3.1	Arithmetische Operationen	75
4.3.2	Speicheroperationen	77
4.3.3	Vergleiche	77
4.3.4	Steuerungsoperationen	78
4.4	Stackbasierte Architekturen	79
4.4.1	Der Stack	79
4.4.2	Implementieren von Stacks	80
4.4.3	Anweisungen in einer stackbasierten Architektur	82
4.4.4	Der stackbasierte Anweisungssatz	82
4.4.5	Programme in einer stackbasierten Architektur	86

---

4.5	General-Purpose-Register-Architekturen	87
4.5.1	Anweisungen in einer GPR-Architektur	88
4.5.2	Ein Anweisungskatalog für GPR	89
4.5.3	Programme in einer GPR-Architektur	90
4.6	Stackbasierte und GPR-Architekturen im Vergleich	91
4.7	Verwendung des Stacks zur Implementierung von Prozeduraufrufen	92
4.7.1	Konventionen für Prozeduraufrufe	93
4.8	Zusammenfassung	93
4.9	Aufgaben mit Lösungen	95
<b>5</b>	<b>Prozessordesign</b>	<b>101</b>
5.1	Lernziele	101
5.2	Einführung	101
5.3	Architektur des Anweisungssatzes	102
5.3.1	RISC und CISC im Vergleich	102
5.3.2	Adressierungsmodi	104
5.3.3	Vektoranweisungen für Multimediaanwendungen	106
5.3.4	Anweisungskodierung mit fester und variabler Länge	108
5.4	Mikroarchitektur von Prozessoren	109
5.4.1	Ausführungseinheiten	110
5.4.2	Mikroprogrammierung	111
5.4.3	Entwurf von Registerdateien	111
5.5	Zusammenfassung	112
5.6	Aufgaben mit Lösungen	113
<b>6</b>	<b>Pipelines</b>	<b>121</b>
6.1	Lernziele	121
6.2	Einführung	121
6.3	Pipelines	122
6.3.1	Zyklusdauer von Pipeline-Prozessoren	124
6.3.2	Latenzzeit von Pipelines	125
6.4	Anweisungsabhängigkeiten und ihr Einfluss auf den Durchsatz	126
6.4.1	Verzweigungen	129
6.4.2	Strukturelle Abhängigkeiten	131
6.4.3	Scoreboards	131
6.5	Vorhersagen der Ausführungszeit in Pipeline-Prozessoren	132

6.6	Weiterleiten von Ergebnissen (Bypassing)	135
6.7	Zusammenfassung	138
6.8	Aufgaben mit Lösungen	139
<b>7</b>	<b>Parallelverarbeitung auf Anweisungsebene</b>	<b>149</b>
7.1	Lernziele	149
7.2	Einführung	149
7.3	Was ist Parallelverarbeitung auf Anweisungsebene?	151
7.4	Grenzen der Parallelverarbeitung auf Anweisungsebene	152
7.5	Superskalare Prozessoren	153
7.6	Ausführung in und außerhalb der Reihenfolge im Vergleich	154
7.6.1	Vorhersagen der Ausführungszeiten bei reihenfolgentreuen Prozessoren	154
7.6.2	Vorhersagen der Ausführungszeiten bei nicht reihenfolgentreuen Prozessoren	155
7.6.3	Implementierungsfragen bei nicht reihenfolgentreuen Prozessoren	156
7.7	Umbenennen von Registern	157
7.8	VLIW-Prozessoren	159
7.8.1	Vor- und Nachteile von VLIW	160
7.9	Kompilationstechniken für die Parallelverarbeitung auf Anweisungsebene	162
7.9.1	Auflösen von Schleifen	162
7.9.2	Softwarepipelines	165
7.10	Zusammenfassung	165
7.11	Aufgaben mit Lösungen	166
<b>8</b>	<b>Speichersysteme</b>	<b>177</b>
8.1	Lernziele	177
8.2	Einführung	177
8.3	Latenz, Durchsatz und Bandbreite	177
8.3.1	Pipelines, Parallelverarbeitung und Vorabladen	178
8.4	Speicherhierarchien	180
8.4.1	Hierarchieebenen	182
8.4.2	Terminologie	182
8.4.3	Durchschnittliche Zugriffszeit	183
8.5	Speichertechnologien	184

---

8.5.1	Der Aufbau von Speicherchips	184
8.5.2	SRAM	185
8.5.3	DRAM	187
8.5.4	DRAM-Refresh	187
8.5.5	DRAM-Zugriffstiming	188
8.5.6	Seitenmodus und moderne DRAMs	189
8.6	Zusammenfassung	190
8.7	Aufgaben mit Lösungen	191
<b>9</b>	<b>Caches</b>	<b>199</b>
9.1	Lernziele	199
9.2	Einführung	199
9.3	Daten-, Anweisungs- und einheitliche Caches	200
9.4	Beschreibung von Caches	201
9.5	Kapazität	201
9.6	Zeilenlänge	201
9.7	Assoziativität	203
9.7.1	Rein assoziative Caches	203
9.7.2	Direkt zugeordnete Caches	203
9.7.3	Mengenassoziative Caches	206
9.8	Ersetzungsrichtlinien	207
9.9	Write-Back- und Write-Through-Caches im Vergleich	210
9.10	Implementierungen von Caches	211
9.11	Tag-Arrays	211
9.12	Fehler/Treffer-Logik	213
9.13	Daten-Arrays	213
9.14	Einteilung von Cache-Fehlern	214
9.15	Caches mit mehreren Ebenen	216
9.16	Zusammenfassung	218
9.17	Aufgaben mit Lösungen	218
<b>10</b>	<b>Virtueller Speicher</b>	<b>229</b>
10.1	Lernziele	229
10.2	Einführung	229

10.3	Adressübersetzung	230
10.4	Bedarfsweiser Seitenabruf und Auslagerung im Vergleich	233
10.5	Seitentabellen	234
10.5.1	Seitentabellen mit mehreren Ebenen	235
10.5.2	Invertierte Seitentabellen	237
10.6	Vorgriffspuffer für die Übersetzung	239
10.6.1	TLB- und Seitenfehler im Vergleich	241
10.6.2	Der Aufbau von TLBs	241
10.6.3	Seitenblöcke	242
10.7	Schutz	243
10.8	Caches und der virtuelle Speicher	244
10.9	Zusammenfassung	246
10.10	Aufgaben mit Lösungen	247
<b>11</b>	<b>Ein-/Ausgabe</b>	<b>253</b>
11.1	Lernziele	253
11.2	Einführung	253
11.3	E/A-Busse	254
11.3.1	Zugreifen auf den E/A-Bus	255
11.4	Interrupts	256
11.4.1	Implementieren von Interrupts	256
11.4.2	Prioritäten von Interrupts	257
11.4.3	Polling und Interrupts im Vergleich	258
11.5	Speicherkonforme Ein-/Ausgabe	259
11.6	Direkter Speicherzugriff (DMA)	261
11.7	E/A-Geräte	262
11.8	Festplattensysteme	263
11.8.1	Aufbau einer Festplatte	264
11.8.2	Bearbeitungsreihenfolge von Anforderungen	264
11.9	Zusammenfassung	267
11.10	Aufgaben mit Lösungen	268
<b>12</b>	<b>Multiprozessorsysteme</b>	<b>275</b>
12.1	Lernziele	275
12.2	Einführung	275

12.3	Beschleunigung und Leistung	275
12.3.1	Grenzen der Beschleunigung	276
12.3.2	Superlineare Beschleunigung	277
12.4	Mehrprozessorsysteme	278
12.5	<i>Systeme mit Meldungsweitergabe</i>	280
12.6	Shared-Memory-Systeme	281
12.6.1	Speicherkonsistenzmodelle	282
12.6.2	Strenge Konsistenz	282
12.6.3	Cache-Kohärenz	283
12.6.4	<i>Das MESI-Protokoll</i>	284
12.6.5	Busbasierte Systeme mit Shared-Memory	286
12.6.6	Synchronisierung	286
12.7	Meldungsweitergabe und Shared-Memory im Vergleich	288
12.8	Zusammenfassung	289
12.9	Aufgaben mit Lösungen	289
	<b>Index</b>	<b>297</b>