

Inhaltsverzeichnis

Geleitwort	VII
Zusammenfassung	IX
Inhaltsverzeichnis	XI
Abbildungsverzeichnis	XIII
Tabellenverzeichnis	XVII
Liste der Symbole	XIX
Liste der SI-Einheiten	XXI
Liste der Abkürzungen	XXIII
1 Einleitung und Motivation	1
1.1 Aufgabenstellung.....	11
1.2 Gliederung.....	12
2 Grundlagen	15
2.1 Charakterisierung von Fehlerursachen.....	19
2.2 Effektabbildung physikalischer Fehler.....	28
2.2.1 Auswahl realistischer Fehlermengen.....	29
2.2.2 Das Fehlermodell auf Gatterebene.....	32
2.2.3 Das Fehlermodell auf Komponentenebene.....	34
2.3 Mehrfädige Programmausführung.....	43
2.4 Industriell gefertigte mehrfädige Prozessoren.....	50
2.4.1 Alpha 21464 (Araña).....	51
2.4.2 Intel Pentium 4 (Northwood, Prescott).....	51
2.4.3 IBM POWER5.....	53
2.4.4 Intel Itanium 2 (Montecito).....	55

3	Simulations- und Synthesemethodik	57
3.1	Fehlerinjektion	59
3.2	Synthese für unterschiedliche Entwurfsstile	62
3.2.1	FPGA-Entwurf mit Xilinx ISE 6.3	63
3.2.2	Standardzell-Entwurf mit Alliance 5.0	67
4	Dynamische Fehlerentdeckung und -behebung	71
4.1	Fehlererkennung in Hardware	73
4.1.1	Temporärer Speicher für redundantes Multithreading	80
4.1.2	Der temporäre Sprungzielspeicher	88
4.1.3	Der temporäre Datenspeicher	101
4.1.4	Thread-Prüfsummenkalkül	112
4.1.5	Mikrocode mit eingebetteten Zeitvorgaben (Mikrocode Timing) ..	143
4.2	Dynamische Mechanismen	164
4.2.1	Dynamischer Befehlshole-Algorithmus	164
4.2.2	History Voting	188
4.3	Fehlerbehebung in Hardware	203
4.3.1	Verwandte Arbeiten	204
4.3.2	Fehlerbehebung architekturell nicht fixierter Zustände	207
4.3.3	Fehlerbehebung architekturell fixierter Zustände	210
5	Überblick und Fazit	223
	Anhang A: SPECint2006-Parameter	231
	Anhang B: Felddaten (SGI Altix 4700)	235
	Anhang C: Standardzellen-Makefile	242
	Literaturverzeichnis	245
	Index	262