

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
1.1	Digitaltechnik und die mikroelektronische Revolution .....	1
1.2	Abstraktionsebenen und EDA-Werkzeuge .....	10
1.3	Ziele und Aufbau des Buches .....	17
<b>2</b>	<b>Modellierung von digitalen Schaltungen mit VHDL</b>	<b>21</b>
2.1	Historische Entwicklung von VHDL .....	22
2.2	Grundlegende Konzepte von VHDL .....	25
2.2.1	Entity und Architecture .....	25
2.2.2	Verhaltensbeschreibungen und Prozesse .....	29
2.2.3	Strukturbeschreibungen .....	35
2.2.4	Testbenches und die Verifikation von VHDL-Entwürfen .....	40
2.2.5	Kompilation von VHDL-Modellen .....	44
2.2.6	Simulation von VHDL-Modellen .....	46
2.2.7	Modellierung von Verzögerungszeiten in VHDL .....	52
2.2.8	Variable und Signal .....	54
2.3	Objekte, Datentypen und Operatoren .....	57
2.3.1	Deklaration und Verwendung von Objekten .....	57
2.3.2	Überladen von Operatoren und Funktionen .....	60
2.3.3	Gültigkeitsbereich von Objekten .....	61
2.3.4	Übersicht über die VHDL-Datentypen und Operatoren .....	62
2.3.5	Attribute .....	68
2.4	Sequentielle Anweisungen .....	70
2.4.1	IF-Verzweigungen .....	70
2.4.2	CASE-Verzweigungen .....	74
2.4.3	Schleifen .....	77
2.4.4	Weitere sequentielle Anweisungen .....	81
2.5	Nebenläufige Anweisungen .....	83
2.5.1	Unbedingte nebenläufige Anweisungen .....	83
2.5.2	Bedingte nebenläufige Anweisungen .....	84

2.6	Unterprogramme und Packages .....	86
2.7	Auflösungsfunktionen, mehrwertige Logik und IEEE-Datentypen .....	91
2.7.1	Auflösungsfunktionen und mehrwertige Logik .....	91
2.7.2	Die IEEE 1164-Datentypen .....	96
2.8	Weitere Konstruktionen für Strukturbeschreibungen .....	102
2.8.1	Parametrisierung von Komponenten .....	102
2.8.2	Iterative und bedingte Instanziierung .....	105
2.8.3	Bindung von Komponenten .....	106
2.9	Weitere VHDL-Konstruktionen .....	112
2.10	Zusammenfassung zu Kapitel 2 .....	114
2.11	Übungsaufgaben .....	117
<b>3</b>	<b>Digitale integrierte Schaltungen</b>	<b>119</b>
3.1	Auswahl von Implementierungsformen für integrierte Schaltungen .....	119
3.2	Grundlagen der CMOS-Schaltungstechnik .....	126
3.2.1	Der MOS-Feldeffekttransistor .....	127
3.2.2	Der CMOS-Inverter .....	138
3.2.3	Statisches Verhalten des CMOS-Inverters .....	139
3.2.4	Dynamisches Verhalten des CMOS-Inverters .....	143
3.2.5	Leistungs- und Energieaufnahme von CMOS-Schaltungen .....	150
3.3	Kombinatorische CMOS-Schaltungen .....	156
3.3.1	Komplementäre statische CMOS-Logikgatter .....	156
3.3.2	Pass-Transistor-Logik und Transmission-Gate-Logik .....	160
3.3.3	Tri-State-Treiber .....	164
3.4	Sequentielle CMOS-Schaltungen .....	165
3.4.1	Das Bistabilitäts-Prinzip .....	166
3.4.2	Taktzustandgesteuerte Latches .....	167
3.4.3	Taktflankengesteuerte Flipflops .....	168
3.4.4	Metastabilität und Synchronisation .....	170
3.5	MOS-Halbleiterspeicher .....	175
3.5.1	Übersicht und Klassifikation von Halbleiterspeichern .....	176
3.5.2	Matrixspeicher-Architekturen .....	180
3.5.3	SRAM-Speicherzellen .....	183
3.5.4	EPROM-Speicherzellen .....	185
3.5.5	EEPROM-Speicherzellen .....	187
3.5.6	Flash-Speicherzellen .....	189
3.6	Programmierungstechnologien von MOS-PLDs .....	193
3.6.1	Programmierung mit SRAM-Zellen .....	193

3.6.2	Programmierung mit Floating-Gate-Zellen .....	196
3.6.3	Programmierung mit Antifuses .....	197
3.7	SPLD/CPLD-Architekturen .....	199
3.7.1	Implementierung von Schaltfunktionen mit PROMs .....	199
3.7.2	SPLDs: PLA- und PAL-Strukturen .....	202
3.7.3	CPLDs .....	205
3.8	FPGA-Architekturen .....	208
3.8.1	Multiplexer-Basiszellen .....	209
3.8.2	LUT-Basiszellen .....	211
3.8.3	Verbindungsarchitekturen .....	214
3.8.4	I/O-Blöcke .....	220
3.8.5	Entwicklungstrends bei FPGAs .....	221
3.9	Zusammenfassung zu Kapitel 3 .....	224
3.10	Übungsaufgaben.....	227
<b>4</b>	<b>Von der Register-Transfer-Ebene zur Gatterebene</b>	<b>229</b>
4.1	Einführung in die Logiksynthese .....	229
4.1.1	Übersetzung und Inferenz des VHDL-Codes .....	230
4.1.2	Schaltwerkssynthese .....	233
4.1.3	Zeitliche Randbedingungen für die Synthese .....	240
4.1.4	Statische Timing-Analyse .....	242
4.1.5	Das Problem des „Falschen Pfades“ .....	246
4.1.6	Umgebung des Designs und Betriebsbedingungen .....	249
4.1.7	Logikoptimierung und Technologieabbildung .....	251
4.1.8	Mehrstufige Logikoptimierung .....	252
4.1.9	Technologieabbildung für SRAM-FPGAs .....	255
4.1.10	Einfluss der Optimierungsvorgaben auf das Syntheseresultat .....	258
4.2	Ein 4-Bit-Mikroprozessor als Beispiel .....	261
4.3	Schaltwerke und Zähler .....	264
4.3.1	Steuerwerk des Beispiel-Prozessors .....	264
4.3.2	Einfluss der Zustandskodierung auf das Syntheseresultat .....	268
4.3.3	Das Problem der unbenutzten Zustände .....	270
4.3.4	Verwendung von Signalen und Variablen in getakteten und kombinatorischen Prozessen .....	275
4.3.5	Beschreibung von Zählern in VHDL.....	281
4.3.6	Implementierung von Zählern in FPGAs .....	285
4.4	Arithmetische Einheiten .....	289
4.4.1	ALU des Beispiel-Prozessors .....	289
4.4.2	Implementierung von Addierern in FPGAs.....	292

4.4.3	Implementierung von Subtrahierern in FPGAs .....	296
4.4.4	Implementierung von Multiplizierern in FPGAs .....	300
4.4.5	Ressourcenbedarf von logischen, relationalen und arithmetischen Operatoren .....	304
4.4.6	Mehrfachnutzung von arithmetischen Ressourcen .....	305
4.4.7	Darstellung vorzeichenbehafteter und vorzeichenloser Zahlen .....	307
4.5	Integration von Matrixspeichern: RAM und ROM .....	311
4.5.1	Programmspeicher des Beispiel-Prozessors .....	312
4.5.2	Verwendung von synchronen „Block RAM“-Speichern .....	315
4.5.3	Datenspeicher des Beispiel-Prozessors .....	319
4.5.4	Vergleich von „Distributed RAM“ und „Block RAM“ .....	322
4.5.5	Instanziierung von Makros und Verwendung von Makro-Generatoren .....	323
4.6	On-Chip-Busse und I/O-Schnittstellen .....	326
4.6.1	Datenbus des Beispiel-Prozessors .....	327
4.6.2	Multiplexer- und Logik-Busse .....	330
4.6.3	Tristate-Busse .....	333
4.6.4	Vergleich von Tristate-Bus und Logik-Bus .....	336
4.6.5	Paralleler Port des Beispiel-Prozessors .....	337
4.7	Häufig begangene Fehler und weitere Aspekte des RTL-Entwurfs .....	341
4.7.1	Häufige Fehler in getakteten Prozessen (Flipflops) .....	341
4.7.2	Häufige Fehler in kombinatorischen Prozessen (Schaltnetze) .....	344
4.7.3	Optimierung der Schaltung .....	346
4.7.4	Partitionierung des Entwurfs .....	350
4.8	Zusammenfassung zu Kapitel 4 .....	353
4.9	Übungsaufgaben .....	355
<b>5</b>	<b>Von der Gatterebene zur physikalischen Realisierung</b> .....	<b>359</b>
5.1	Entwurfsablauf für FPGAs .....	359
5.2	Physikalischer Entwurf von FPGAs .....	363
5.2.1	Erstellen des Floorplans .....	363
5.2.2	Platzierung der Komponenten im FPGA .....	366
5.2.3	Verdrahtung der Komponenten im FPGA .....	370
5.2.4	Platzierung und Verdrahtung des Beispiel-Prozessors .....	375
5.3	Einfluss der Verdrahtung auf das Zeitverhalten .....	376
5.3.1	Elektrische Parameter der Verdrahtung .....	377
5.3.2	Modellierung der Verzögerungszeiten durch das Elmore-Modell .....	379
5.3.3	Induktive und kapazitive Leitungseffekte .....	383
5.3.4	Verdrahtung und Zeitverhalten im FPGA .....	386
5.3.5	Logiksynthese und physikalischer Entwurf .....	393

5.4	Synchroner Entwurf und Taktverteilung .....	395
5.4.1	Synchrone und asynchrone digitale Systeme .....	396
5.4.2	Flankengesteuerte und pegelgesteuerte Schaltungen .....	401
5.4.3	Ursachen und Auswirkungen von Taktversatz und Jitter .....	403
5.4.4	Taktverteilung in FPGAs .....	410
5.4.5	Synchrone Entwurfstechniken .....	418
5.5	Simulation des Zeitverhaltens mit VHDL .....	425
5.5.1	Modellierung der Schaltung mit VITAL-Komponenten .....	425
5.5.2	Austausch von Timing-Daten mit SDF .....	433
5.5.3	Simulation des Zeitverhaltens mit einem VHDL-Simulator .....	436
5.6	Bestimmung der Chiptemperatur .....	440
5.7	Zusammenfassung zu Kapitel 5 .....	441
5.8	Übungsaufgaben .....	444
<b>6</b>	<b>Modellierung von digitalen Schaltungen mit SystemC</b> .....	<b>447</b>
6.1	Modellierung auf Register-Transfer-Ebene mit SystemC .....	448
6.1.1	Module .....	448
6.1.2	Verhaltensbeschreibungen auf Register-Transfer-Ebene .....	451
6.1.3	Strukturbeschreibungen .....	455
6.1.4	Testbenches .....	458
6.1.5	Simulation .....	461
6.2	Hardwareorientierte SystemC-Datentypen .....	465
6.2.1	Logik-Datentypen .....	465
6.2.2	Integer-Datentypen .....	468
6.2.3	Fixpunkt-Datentypen .....	469
6.3	Modellierung auf algorithmischer Ebene mit SystemC .....	472
6.3.1	Verhaltensbeschreibungen auf algorithmischer Ebene .....	473
6.3.2	Von der algorithmischen Ebene zur Register-Transfer-Ebene .....	481
6.4	Zusammenfassung zu Kapitel 6 .....	490
<b>A</b>	<b>Anhang</b> .....	<b>491</b>
A.1	Verwendete Schaltzeichen, Abkürzungen und Formelzeichen .....	491
A.1.1	Schaltzeichen .....	491
A.1.2	Abkürzungen .....	493
A.1.3	Formelzeichen .....	496
A.2	VHDL-Syntax .....	498
A.3	VHDL-Strukturbeschreibung des Beispiel-Prozessors .....	506

A.4	Lösungen der Übungsaufgaben .....	509
A.4.1	Übungsaufgaben aus Kapitel 2 .....	509
A.4.2	Übungsaufgaben aus Kapitel 3 .....	512
A.4.3	Übungsaufgaben aus Kapitel 4 .....	515
A.4.4	Übungsaufgaben aus Kapitel 5 .....	525
<b>Literaturverzeichnis</b>		<b>529</b>
<b>Index</b>		<b>537</b>