

Inhaltsverzeichnis

1	Einleitung	10
1.1	Einleitung	10
1.2	Grundlegende Begriffe und Definitionen	12
2	Grundlagen und Anwendungsgebiete	15
2.1	Debugging-Methoden	15
2.1.1	Hardware Debugging	15
2.1.2	Software Debugging	16
2.1.3	Grundprinzipien	17
2.1.4	Das Heisenberg Problem	19
2.1.5	Race Conditions	20
2.1.6	Debugging und Zeit	24
2.2	Zusammenfassung	25
3	Stand der Forschung	26
3.1	Traditionelle Debug-Methoden	26
3.2	On Chip Debugging	28
3.3	Replay Debugging	31
3.3.1	Replay Debugging bei Gleichzeitigkeit	31
3.3.2	Replay Debugging bei Echtzeitsystemen	31
3.3.3	Reproduktion von asynchronen Ereignissen	32
3.3.4	Lokalisierungsprobleme der Ereignisse	33
3.3.5	Verwendung von eindeutigen Markern	34
3.3.6	Jitter	35
3.4	Time Machines	37
3.5	Debugging für Embedded Systems im Feld	39
3.5.1	Eingeschränkte Beeinflussung	40
3.5.2	Debug Port Sicherheit	41
3.5.3	Tracepoints und Event Logging	42
3.5.4	Profiling	43
3.6	Debug- und Tracetools	43
3.6.1	ARMETM	44

3.6.2	Lauterbach	45
3.7	Zusammenfassung	47
4	Problemstellung Embedded Debugging	49
4.1	Probleme bei traditionellen Debug-Methoden	52
4.2	Debugging und Tracing in der Entwicklung	53
4.2.1	Hardware Latenzzeit	54
4.2.2	Software und Interruptprozess Latenzzeit	55
4.2.3	Betriebssystemabhängige Latenzzeiten	55
4.3	Debugging und Tracing im Feld	56
4.3.1	Informationstrierung und Vorverarbeitung	56
4.3.2	Einschränkung der Fehlerquellen	56
4.4	Zusammenfassung	57
5	Systemmodell Embedded Debug Tool	58
5.1	Konfigurierbares Embedded Debug Interface	60
5.1.1	Steuerlogik	62
5.1.2	Registerschnittstelle	65
5.1.3	Interruptlogik	66
5.1.4	Data Modul	68
5.2	PC Debug Software	69
5.3	Klassifizierung der Debug- und Analysemöglichkeiten	70
5.3.1	Timing	70
5.3.2	Fehler bei Input/Output	72
5.3.3	Logikanalysator Fähigkeiten des Embedded Debug Tools	72
5.3.4	Warnschwellen bei Speicherüberlauf	72
5.3.5	Events	74
5.3.6	Auslastung Softwareteile	74
5.3.7	Selfdebugging	74
5.4	Zusammenfassung	75
6	Simulation Embedded Debug Tool	77
6.1	SystemC	79
6.1.1	Module	84
6.1.2	Kommunikation zwischen den Modulen	84
6.1.3	Events, Sensitivity	85
6.1.4	Testbench	86
6.1.5	VCD-File	86
6.2	Prozessoren	86

6.2.1	Renesas M16C	87
6.3	Instruction Set Simulator	90
6.3.1	Renesas PD30SIM	91
6.4	Systemaufbau Simulation	95
6.4.1	Interrupt	96
6.4.2	UART Universal Asynchronous Receiver Transmitter	98
6.5	Simulationsbeispiel: Muskelstimulationsgerät	98
6.5.1	Systemaufbau	99
6.5.2	Simulationsdurchführung	100
6.6	Zusammenfassung	102
7	Vergleichende Implementierung AVR	103
7.1	Testplattform	103
7.1.1	FPGA	104
7.1.2	Architektur AVR	104
7.1.3	Interrupts	110
7.1.4	Debug Trace Unit	111
7.2	Aufbau der Implementierung	114
7.3	AVR Core	114
7.3.1	Allgemein	114
7.3.2	VHDL Implementierung	116
7.4	Debug-Interface	120
7.4.1	VHDL Implementierung	121
7.5	Laden der Software	122
7.6	Beispielanwendung	123
7.6.1	Interruptlatenzzeit	123
7.6.2	Profiling	125
7.7	Zusammenfassung	128
8	Vergleichende Implementierung LatticeMico32	129
8.1	Testplattform	129
8.2	FPGA Lattice Semiconductor	130
8.3	Prozessor Lattice Mico32	132
8.3.1	Cache	136
8.4	Debug Support Unit	136
8.5	Interrupts und Traps	137
8.6	Integration Debug Interface	138
8.6.1	Programm Counter Überwachung	139
8.6.2	Speicherzugriff Überwachung	140

8.6.3	Interrupt Überwachung	140
8.7	Beispielanwendungen	140
8.7.1	Aufbau der Messungen	141
8.7.2	Speicher- und Programm Counter Zugriff	142
8.7.3	Selfdebugging	145
8.7.4	Profiling	148
8.7.5	Latenzzeitmessung	150
8.8	Zusammenfassung	153
9	Zusammenfassung und Ausblick	154
9.1	Rückblick	154
9.2	Forschungsergebnisse	156
9.3	Ausblick	157
10	Literaturverzeichnis	159