

Inhaltsverzeichnis

Vorwort Originalausgabe	13
Vorwort zur deutschen Ausgabe	17
Kapitel 1. Einführung	19
1.1 Strukturierte Computerorganisation	21
1.1.1 Sprachen, Ebenen und virtuelle Maschinen	21
1.1.2 Moderne mehrschichtige Maschinen	23
1.1.3 Evolution mehrschichtiger Maschinen	26
Die Erfindung der Mikroprogrammierung	27
Die Erfindung des Betriebssystems	27
Verlagerung von Funktionen in den Mikrocode	30
Beseitigung der Mikroprogrammierung	31
1.2 Meilensteine der Computerarchitektur	31
1.2.1 Die nullte Generation – Mechanische Computer (1642–1945)	33
1.2.2 Die erste Generation – Vakuumröhren (1945–1955)	35
1.2.3 Die zweite Generation – Transistoren (1955–1965)	37
1.2.4 Die dritte Generation – integrierte Schaltungen (1965–1980)	40
1.2.5 Die vierte Generation – VLSI (1980 – ?)	41
1.2.6 Die fünfte Generation – leistungsarme und unsichtbare Computer	44
1.3 Vielfalt der Computer	46
1.3.1 Technologische und wirtschaftliche Kräfte	46
1.3.2 Das Computerspektrum	48
1.3.3 Wegwerfcomputer	49
1.3.4 Mikrocontroller	51
1.3.5 Mobile Computer und Spielkonsolen	53
1.3.6 Personalcomputer	54
1.3.7 Server	55
Cluster	55
1.3.8 Mainframes	56
1.4 Beispiele von Computerfamilien	57
1.4.1 Einführung in die x86-Architektur	57
1.4.2 Einführung in ARM-Architektur	62
1.4.3 Einführung in die AVR-Architektur	64
1.5 Metrische Einheiten	66
1.6 Gliederung dieses Buchs	67
Kapitel 2 Aufbau von Computersystemen	73
2.1 Prozessoren	75
2.1.1 Aufbau der CPU	76
2.1.2 Befehlsausführung	77
2.1.3 RISC kontra CISC	81

2.1.4	Designprinzipien moderner Computer	82
	Die Hardware führt alle Befehle direkt aus	83
	Die Befehle werden mit maximaler Rate initiiert	83
	Die Befehle müssen leicht zu decodieren sein	83
	Nur Lade- und Speichervorgänge sollen auf den Speicher verweisen	84
	Ausreichend Register bereitstellen	84
2.1.5	Parallelität auf Befehlsebene	84
	Pipelining (Fließbandverarbeitung)	84
	Superskalare Architekturen	86
2.1.6	Parallelität auf Prozessorebene	88
	Datenparallele Rechner	89
	Mehrprozessorsysteme	91
	Multicomputersysteme	92
2.2	Hauptspeicher (Primärspeicher)	92
2.2.1	Bits	93
2.2.2	Speicheradressen	93
2.2.3	Bytereihenfolge	95
2.2.4	Fehlerkorrekturcodes	97
2.2.5	Cache-Speicher	100
2.2.6	Speichermodule und -typen	103
2.3	Sekundärspeicher	104
2.3.1	Speicherhierarchien	104
2.3.2	Festplatten	105
2.3.3	IDE-Festplatten	109
2.3.4	SCSI-Festplatten	110
2.3.5	RAID	112
2.3.6	Solid-State-Disks	115
2.3.7	CD-ROMs	117
2.3.8	Einmal beschreibbare CDs	121
2.3.9	Wiederbeschreibbare CDs	123
2.3.10	DVD	123
2.3.11	Blu-Ray	125
2.4	Eingabe/Ausgabe	126
2.4.1	Busse	126
	Die PCI- und PCIe-Busse	128
2.4.2	Terminals	130
	Tastaturen	130
	Touchscreens	131
	Flachbildschirme	132
	Videospeicher	135
2.4.3	Mäuse	135
2.4.4	Gamecontroller	137
	Der Wiimote-Controller	137
	Der Kinect-Controller	139
2.4.5	Drucker	139
	Laserdrucker	139
	Farbdrucker	141

	Tintenstrahldrucker	142
	Spezialdrucker	143
2.4.6	Telekommunikationsgeräte	144
	Modems	144
	DSL	146
	Internet über Kabel	149
2.4.7	Digitalkameras	152
2.4.8	Zeichencodes	155
	ASCII	155
	Unicode	157
2.4.9	UTF-8	159
Kapitel 3	Die Ebene der digitalen Logik	165
3.1	Gatter und boolesche Algebra	167
3.1.1	Gatter	167
3.1.2	Boolesche Algebra	169
3.1.3	Implementierung von booleschen Funktionen	171
3.1.4	Schaltungsäquivalenz	173
3.2	Grundsaltungen der digitalen Logik	176
3.2.1	Integrierte Schaltungen	176
3.2.2	Schaltnetze	178
	Multiplexer	178
	Decodierer	180
	Komparatoren	181
3.2.3	Arithmetische Schaltungen	181
	Schieberegister	181
	Addierer	182
	Rechenwerk	184
3.2.4	Taktgeber	185
3.3	Speicher	187
3.3.1	Latches	187
	Getaktete SR-Latches	188
	Getaktete D-Latches	189
3.3.2	Flipflops	189
3.3.3	Register	191
3.3.4	Speicherorganisation	192
3.3.5	Speicherchips	195
3.3.6	RAM und ROM	197
	Nicht flüchtige Speicherchips	199
	FPGA	200
3.4	CPU-Chips und Busse	202
3.4.1	Prozessorchips	202
3.4.2	Computer-Busse	204
3.4.3	Busbreite	206
3.4.4	Bustaktung	208
	Synchrone Busse	208
	Asynchrone Busse	211

3.4.5	Bus-Arbitration	213
3.4.6	Busoperationen	215
3.5	Beispiele für CPU-Chips	218
3.5.1	Der Intel Core i7	218
	Die logische Anschlussbelegung des Core i7	220
	Fließbandverarbeitung auf dem DDR3-Speicherbus des Core i7	222
3.5.2	Das Ein-Chip-System Texas Instruments OMAP4430	224
3.5.3	Der Mikrocontroller Atmel ATmega168	228
3.6	Beispielbusse	230
3.6.1	Der PCI-Bus	231
	Arbeitsweise des PCI-Busses	234
	PCI-Bus-Arbitration	234
	PCI-Bussignale	235
	PCI-Bustransaktionen	238
3.6.2	PCI Express	239
	Die PCI-Express-Architektur	239
	Der PCI-Express-Protokollstapel	241
3.6.3	USB (Universal Serial Bus)	243
3.7	Schnittstellen	247
3.7.1	E/A-Schnittstellen	247
	PIO-Schnittstellen	248
3.7.2	Decodierung von Adressen	249
Kapitel 4	Die Mikroarchitekturebene	259
4.1	Beispiel einer Mikroarchitektur	261
4.1.1	Der Datenpfad	262
	Datenpfadzeiten	264
	Arbeitsweise des Speichers	266
4.1.2	Mikrobefehle	267
4.1.3	Mikrobefehlssteuerung: Mic-1	269
4.2	Eine Beispiel-ISA: IJVM	274
4.2.1	Keller	274
4.2.2	Das IJVM-Speichermodell	276
4.2.3	Der IJVM-Befehlssatz	278
4.2.4	Java zu IJVM kompilieren	282
4.3	Beispielimplementierung	283
4.3.1	Mikrobefehle und Notation	283
4.3.2	IJVM mit der Mic-1 implementieren	288
4.4	Design der Mikroarchitekturebene	300
4.4.1	Geschwindigkeit und Kosten	301
4.4.2	Die Länge des Ausführungspfads reduzieren	303
	Die Interpreter-Schleife mit dem Mikrocode verschmelzen ...	303
	Architektur mit drei Bussen	305
	Befehlsabrufeinheit (IFU)	306
4.4.3	Design mit Prefetching: Mic-2	309

4.4.4	Fließbandverarbeitung: Mic-3	314
4.4.5	Siebenstufige Pipeline: Mic-4	319
4.5	Leistungsverbesserung	322
4.5.1	Cache-Speicher	323
	Direkt abbildende Caches	325
	Mengenassoziative Caches	327
4.5.2	Sprungvorhersage	329
	Dynamische Sprungvorhersage	331
	Statische Sprungvorhersage	333
4.5.3	Out-of-Order-Ausführung und Registerumbenennung	334
4.5.4	Spekulative Ausführung	339
4.6	Beispiele der Mikroarchitekturebene	342
4.6.1	Die Mikroarchitektur der Core-i7-CPU	342
	Die Sandy-Bridge-Mikroarchitektur des Core i7	342
	Die Sandy-Bridge-Pipeline des Core i7	344
4.6.2	Die Mikroarchitektur der OMAP4430-CPU	348
	Übersicht über die Cortex-A9-Mikroarchitektur des OMAP4430	348
	Die Cortex-A9-Pipeline des OMAP4430	350
4.6.3	Die Mikroarchitektur des Mikrocontrollers ATmega168	352
4.7	Core i7, OMAP4430 und ATmega168 im Vergleich	354
Kapitel 5 Die ISA-Ebene		361
5.1	Übersicht über die ISA-Ebene	364
5.1.1	Eigenschaften der ISA-Ebene	364
5.1.2	Speichermodelle	365
5.1.3	Register	367
5.1.4	Befehle	369
5.1.5	Übersicht über die ISA-Ebene des Core i7	369
5.1.6	Übersicht über die ISA-Ebene des ARM OMAP4430	372
5.1.7	Übersicht über die ISA-Ebene des AVR ATmega168	374
5.2	Datentypen	376
5.2.1	Numerische Datentypen	376
5.2.2	Nicht numerische Datentypen	377
5.2.3	Datentypen des Core i7	378
5.2.4	Datentypen des OMAP4430	378
5.2.5	Datentypen der ATmega168 AVR-CPU	379
5.3	Befehlsformate	379
5.3.1	Designkriterien für Befehlsformate	380
5.3.2	Opcodes erweitern	382
5.3.3	Befehlsformate des Core i7	384
5.3.4	Befehlsformate der OMAP4430-ARM-CPU	385
5.3.5	Die Befehlsformate des ATmega168 AVR	387
5.4	Adressierung	388
5.4.1	Adressierungsmodi	388
5.4.2	Unmittelbare Adressierung	388

5.4.3	Direkte Adressierung	389
5.4.4	Registeradressierung	389
5.4.5	Indirekte Registeradressierung	389
5.4.6	Indizierte Adressierung	391
5.4.7	Basisindizierte Adressierung	392
5.4.8	Kelleradressierung	392
	Umgekehrte polnische Notation (Postfix-Notation)	392
	Auswertung von Formeln in umgekehrter polnischer Notation	395
5.4.9	Adressierungsmodi für Verzweigungen	396
5.4.10	Orthogonalität von Opcodes und Adressierungsmodi	396
5.4.11	Adressierungsmodi des Core i7	398
5.4.12	Adressierungsmodi der OMAP4430-ARM-CPU	400
5.4.13	Adressierungsmodi des ATmega168 AVR	400
5.4.14	Adressierungsmodi im Vergleich	401
5.5	Befehlstypen	402
5.5.1	Befehle zur Datenbewegung	402
5.5.2	Dyadische Operationen	403
5.5.3	Monadische Operationen	404
5.5.4	Vergleiche und bedingte Verzweigungen	406
5.5.5	Befehle für Prozeduraufrufe	407
5.5.6	Schleifensteuerung	408
5.5.7	Ein-/Ausgabe	410
5.5.8	Befehle des Core i7	413
5.5.9	Befehle des OMAP4430	417
5.5.10	Befehle des ATmega168 AVR	421
5.5.11	Befehlssätze im Vergleich	423
5.6	Ablaufsteuerung	424
5.6.1	Sequenzielle Ablaufsteuerung und Sprünge	424
5.6.2	Prozeduren	425
5.6.3	Coroutinen	429
5.6.4	Traps	432
5.6.5	Interrupts	432
5.7	Ausführliches Beispiel: Die Türme von Hanoi	436
5.7.1	Türme von Hanoi in der Core-i7-Assemblersprache	436
5.7.2	Türme von Hanoi in der OMAP4430-ARM-Assemblersprache ..	438
5.8	Die IA-64-Architektur und der Itanium 2	440
5.8.1	Das Problem mit der IA-32-ISA	440
5.8.2	Das IA-64-Modell: EPIC	442
5.8.3	Verringerung von Speicherreferenzen	442
5.8.4	Befehlsplanung	444
5.8.5	Bedingte Verzweigungen verringern: bedingte Befehlsausführung	445
5.8.6	Spekulative Ladeoperationen	448

Kapitel 6	Die Ebene der Betriebssystemmaschine	455
6.1	Virtueller Speicher	458
6.1.1	Seitenauslagerung	458
6.1.2	Implementierung der Seitenauslagerung	460
6.1.3	Seitenanforderung und Arbeitsbereich	464
6.1.4	Seitenersetzung	465
6.1.5	Seitengröße und Fragmentierung	467
6.1.6	Segmentierung	468
6.1.7	Implementierung der Segmentierung	471
6.1.8	Virtueller Speicher im Core i7	473
6.1.9	Virtueller Speicher in der OMAP4430 ARM-CPU	478
6.1.10	Virtueller Speicher und Caching	480
6.2	Hardwarevirtualisierung	480
6.2.1	Hardwarevirtualisierung beim Core i7	482
6.3	E/A-Befehle auf OSM-Ebene	482
6.3.1	Dateien	483
6.3.2	Implementierung von E/A-Befehlen auf OSM-Ebene	485
6.3.3	Befehle für die Verzeichnisverwaltung	488
6.4	Befehle der OSM-Ebene für parallele Verarbeitung	489
6.4.1	Erstellen von Prozessen	490
6.4.2	Race Conditions	491
6.4.3	Semaphore zur Synchronisierung von Prozessen	495
6.5	Beispiele von Betriebssystemen	498
6.5.1	Einführung	498
	Unix	499
	Windows 7	502
6.5.2	Beispiele für virtuellen Speicher	505
	Virtueller Speicher unter Unix	505
	Virtueller Speicher unter Windows 7	506
6.5.3	Beispiele für Ein-/Ausgabe auf Betriebssystemebene	508
	Ein-/Ausgabe unter Unix	509
	Ein-/Ausgabe unter Windows 7	515
6.5.4	Beispiele der Prozessverwaltung	520
	Prozessverwaltung unter Unix	520
	Prozessverwaltung unter Windows 7	523
Kapitel 7	Die Ebene der Assemblersprache	535
7.1	Einführung in die Assemblersprache	537
7.1.1	Was ist eine Assemblersprache?	537
7.1.2	Wofür braucht man eine Assemblersprache?	538
7.1.3	Format einer Anweisung in Assemblersprache	538
7.1.4	Pseudobefehle	540
7.2	Makros	543
7.2.1	Definition, Aufruf und Erweiterung eines Makros	543
7.2.2	Makros mit Parametern	545
7.2.3	Weitere Eigenschaften	546
7.2.4	Makrotechnik in einem Assembler implementieren	546

7.3	Der Assemblierungsprozess	547
7.3.1	Zwei-Pass-Assemblierer	547
7.3.2	Erster Lauf.	548
7.3.3	Zweiter Lauf	552
7.3.4	Die Symboltabelle.	553
7.4	Binden und Laden	555
7.4.1	Aufgaben des Linkers.	556
7.4.2	Struktur eines Objektmoduls	559
7.4.3	Bindezeit und dynamische Relokation	560
7.4.4	Dynamisches Binden	563
	Dynamisches Binden in MULTICS	563
	Dynamisches Binden unter Windows	564
7.4.5	Dynamisches Binden unter Unix	566
Kapitel 8	Parallele Rechnerarchitekturen	571
8.1	Parallelität auf demselben Chip.	574
8.1.1	Parallelität auf Befehlsebene	574
	Die VLIW-CPU TriMedia	575
8.1.2	On-Chip-Multithreading.	581
	Hyperthreading im Core i7	583
8.1.3	Ein-Chip-Multiprozessoren	587
	Homogene Multiprozessoren auf einem Chip	587
	Der Core-i7-Ein-Chip-Multiprozessor	588
	Heterogene Multiprozessoren auf einem Chip	588
8.2	Coprozessoren	592
8.2.1	Netzwerkprozessoren	593
	Einführung in Netzwerke	593
	Einführung in Netzwerkprozessoren	595
	Paketverarbeitung	598
	Leistungsverbesserung	599
8.2.2	Grafikprozessoren.	600
	Die Fermi-GPU von NVIDIA	600
8.2.3	Kryptoprozessoren	603
8.3	Multiprozessoren mit gemeinsamem Speicher.	603
8.3.1	Multiprozessoren und Multicomputer	603
	Multiprozessoren	604
	Multicomputer	605
	Klassifizierung von Parallelrechnern	608
8.3.2	Speichersemantik	611
	Strikte Konsistenz	611
	Sequenzielle Konsistenz	611
	Prozessorkonsistenz	612
	Schwache Konsistenz	613
	Freigabekonsistenz	614
8.3.3	Symmetrische UMA-Multiprozessorarchitekturen.	615
	Snooping-Caches	616
	Das Cache-Kohärenzprotokoll MESI	618

	UMA-Multiprozessoren mit Kreuzschienenverteilern	620
	UMA-Multiprozessoren mit mehrstufigen Netzwerken	621
8.3.4	NUMA-Multiprozessoren	623
	Cachekohärente NUMA-Multiprozessoren	624
	Der NUMA-Multiprozessor Sun Fire E25K	627
8.3.5	COMA-Multiprozessorsysteme	631
8.4	Multicomputer mit Nachrichtenaustausch	633
8.4.1	Verbindungsnetze	634
	Topologie	634
8.4.2	MPPs – Massiv parallele Prozessorsysteme	637
	BlueGene	638
	Red Storm	642
	BlueGene/P und Red Storm im Vergleich	645
8.4.3	Cluster-Rechner	647
	Google	648
8.4.4	Kommunikationssoftware für Multicomputer	652
	MPI – Message-Passing Interface	653
8.4.5	Scheduling	655
8.4.6	Gemeinsamer Speicher auf Anwendungsebene	656
	DSM – Distributed Shared Memory	656
	Linda	658
	Orca	660
8.4.7	Leistung	662
	Hardware-Kenngrößen	662
	Software-Kenngrößen	664
	Hohe Leistung erreichen	666
8.5	Grid-Computing	668
Literaturverzeichnis		675
Anhang A Binärzahlen		683
A.1	Zahlen mit endlicher Genauigkeit	685
A.2	Zahlensysteme mit anderen Basen	686
A.3	Umwandlung von einer Basis in eine andere	689
A.4	Negative Binärzahlen	691
A.5	Binärarithmetik	693
Anhang B Gleitkommazahlen		697
B.1	Grundlagen der Gleitkommaarithmetik	699
B.2	IEEE-Standard 754 für Gleitkommazahlen	702
Anhang C Assemblerprogrammierung		709
C.1	Überblick	711
	C.1.1 Assemblersprache	711
	C.1.2 Ein kleines Assemblerprogramm	711

C.2	Der 8088-Prozessor	712
C.2.1	Der Prozessorzyklus	713
C.2.2	Die allgemeinen Register	714
C.2.3	Zeigerregister	715
C.3	Speicher und Adressierung	717
C.3.1	Speicherorganisation und Segmente	717
C.3.2	Adressierung	719
C.4	Der Befehlssatz des 8088	722
C.4.1	Lade-, Kopier und Arithmetikbefehle	725
C.4.2	Logische Operationen, Bit- und Verschiebeoperationen	726
C.4.3	Schleifen und wiederholte Zeichenfolgenoperationen.	727
C.4.4	Sprung- und Aufrufbefehle	728
	Bedingte Sprünge	728
C.4.5	Unterprogrammaufrufe	730
C.4.6	Systemaufrufe und Systemunterprogramme	731
C.4.7	Abschließende Bemerkungen zum Befehlssatz	734
C.5	Der Assemblierer	734
C.5.1	Einführung	734
C.5.2	Der ACK-basierte Assemblierer as88	735
C.5.3	Einige Unterschiede zu anderen 8088-Assemblierern	739
C.6	Der Tracer	740
C.6.1	Tracer-Kommandos	742
C.7	Erste Schritte	743
C.8	Beispiele	744
C.8.1	Das Beispiel Hello World	744
C.8.2	Beispiel für allgemeine Register.	747
C.8.3	Der CALL-Befehl und Zeigerregister	748
C.8.4	Fehler in einem Programm zur Ausgabe von Feldern suchen	752
C.8.5	Zeichenfolgenmanipulation und Zeichenfolgenbefehle	754
C.8.6	Verzweigungstabellen.	758
C.8.7	Gepufferter und wahlfreier Dateizugriff	760
	Danksagungen	765
	Namensregister	767
	Register	771