

# Inhaltsverzeichnis

<b>Kapitel 1: Einleitung</b> .....	<b>1</b>
1.1 Motivation .....	1
1.2 Hardware-Verifikation .....	4
1.2.1 Korrektheit .....	4
1.2.2 Stand der Technik .....	5
1.2.2.1 Automatische Ansätze .....	6
1.2.2.2 Interaktive Ansätze .....	8
1.2.3 Schlußfolgerung .....	10
1.3 Ziele der Arbeit .....	12
1.4 Aufbau der Arbeit .....	13
<b>Kapitel 2: Formale Verifikation von Mikroprozessoren</b> .....	<b>15</b>
2.1 Der Mikroprozessorentwurfsprozeß .....	15
2.2 Mikroprozessor-Entwurfsvalidierungsverfahren .....	17
2.3 Stand der Technik der Mikroprozessorverifikation .....	18
2.3.1 Gordon's Computer .....	19
2.3.2 FM8501 .....	20
2.3.3 VIPER .....	21
2.3.4 Tamarack-3 .....	22
2.3.5 C/30 .....	23
2.3.6 SECD .....	23
2.3.7 AVM-1 .....	24
2.3.8 MTI .....	24
2.3.9 KUE-CHIP2 .....	25
2.3.10 Mini Cayuga .....	26
2.3.11 SPARC-Modell .....	26
2.3.12 Weitere Arbeiten .....	27
2.3.13 Vergleich der bisher verifizierten Prozessoren .....	28
2.3.14 Zusammenfassung .....	29
2.4 CISC, RISC und formale Verifikation .....	30
2.4.1 CISC versus RISC .....	31
2.4.2 Vorteile der RISC-Prozessoren bei der formalen Verifikation .....	34
2.5 Präzisierung der Zielsetzung und Abgrenzung der Arbeit .....	35

<b>Kapitel 3: Grundlagen</b> .....	<b>38</b>
3.1 Prädikatenlogik höherer Ordnung .....	38
3.1.1 Typen .....	38
3.1.2 Terme .....	39
3.1.3 Kalküle, Axiome, Theoreme und Definitionen .....	41
3.2 Hardware-Beschreibung in der Logik höherer Ordnung .....	42
3.2.1 Hardware-Spezifikationsmittel .....	42
3.2.2 Strukturbeschreibung in Logik höherer Ordnung .....	43
3.2.2.1 Strukturbeschreibung durch Funktionen .....	43
3.2.2.2 Strukturbeschreibung durch Prädikate .....	44
3.2.3 Verhaltensbeschreibung in Logik höherer Ordnung .....	45
3.2.3.1 Kombinatorische Schaltungen .....	46
3.2.3.2 Sequentielle Schaltungen .....	47
 <b>Kapitel 4: RISC-Prozessoren und Pipelining</b> .....	 <b>49</b>
4.1 Eigenschaften von RISC-Prozessoren .....	49
4.2 Pipelining .....	52
4.2.1 Definition und Klassifizierung .....	52
4.2.2 Aufbau einer RISC-Pipeline .....	55
4.2.3 RISC-Pipelinstuktur .....	58
 <b>Kapitel 5: Das hierarchische RISC-Modell</b> .....	 <b>60</b>
5.1 Einleitung .....	60
5.2 Der Prozeß der Mikroprozessorverifikation .....	61
5.3 Das Interpreter-Modell .....	62
5.4 Das CISC-Interpretermodell .....	64
5.4.1 Einleitung .....	64
5.4.2 Abstraktionsformen .....	65
5.4.3 Verifikation mit dem Interpretermodell .....	66
5.5 Aufbau des RISC-Modells .....	67
5.5.1 Einleitung .....	67
5.5.2 Abstraktionsebenen einer RISC-Befehlsausführung .....	68
5.5.3 Klassenabstraktion .....	72
5.5.4 Folgerungen der Befehlsabstraktion .....	73
5.5.5 Das hierarchische RISC-Modell .....	76
5.6 Vorteile des RISC-Modells .....	79
5.7 Weiterer Einsatz des RISC-Interpretermodells .....	79

<b>Kapitel 6: Formalisierung des RISC-Modells</b> .....	<b>80</b>
6.1 Abstraktionsformen .....	80
6.1.1 Strukturabstraktion .....	80
6.1.2 Verhaltensabstraktion .....	81
6.1.3 Datenabstraktion .....	82
6.1.4 Zeitabstraktion .....	83
6.2 Zeitabstraktionskonzept mit Pipelining .....	85
6.2.1 Semantische und syntaktische Zeitdarstellung .....	86
6.2.2 Temporale Abstraktionsfunktion .....	88
6.3 Spezifikation der Modellebenen .....	89
6.3.1 Architekturebene .....	89
6.3.2 Klassenebene .....	90
6.3.3 Pipelinestufenebene .....	91
6.3.4 Taktphasenebene .....	92
6.3.5 Elektronisches Blockmodell (EBM) .....	93
6.3.6 Ableitung der formalen Spezifikationen .....	95
6.3.7 Spezifikation der Hardware-Ereignisse .....	96
6.4 Verwendung der Formalisierung des RISC-Modells .....	97
<b>Kapitel 7: RISC-Verifikationsverfahren</b> .....	<b>98</b>
7.1 Die Verifikationsaufgaben .....	98
7.1.1 Fundamentale RISC-Korrektheitssätze .....	99
7.1.2 Verschiedene Verifikationsansätze .....	100
7.2 Korrektheit der Pipelineverarbeitung .....	100
7.2.1 Einleitung .....	100
7.2.2 Formale Definitionen .....	102
7.2.3 Ressourcenkonflikte .....	104
7.2.3.1 Spezifikation der Ressourcenkonflikte .....	105
7.2.3.2 Verifikation der Ressourcenkonflikte .....	107
7.2.4 Datenkonflikte .....	109
7.2.4.1 Spezifikation der Datenkonflikte .....	110
7.2.4.2 Verifikation der Datenkonflikte .....	114
7.2.5 Kontrollkonflikte .....	117
7.2.5.1 Spezifikation der Kontrollkonflikte .....	117
7.2.5.2 Verifikation der Kontrollkonflikte .....	118
7.2.6 Zusammenfassung .....	119

---

7.3 Semantische Korrektheit der Befehle .....	119
7.3.1 Stufen- zu Klassenebene .....	120
7.3.2 Phasen- zu Stufenebene .....	123
7.3.3 EBM zu Phasenebene .....	125
7.3.4 Instanziierung .....	127
7.3.5 Zusammenfassung .....	129
<b>Kapitel 8: Implementierung .....</b>	<b>130</b>
8.1 Das HOL-Beweissystem .....	130
8.2 Implementierung der formalen Spezifikationen .....	132
8.3 Implementierung der formalen Verifikation .....	133
8.4 Einbettung in das gesamte System .....	135
8.5 DLX-Verifikation .....	135
<b>Kapitel 9: Zusammenfassung und Ausblick .....</b>	<b>138</b>
9.1 Erzielte Ergebnisse .....	138
9.2 Weiterführende Arbeiten .....	140
<b>Anhang A: DLX-Prozessor .....</b>	<b>142</b>
<b>Anhang B: Experimentelle Ergebnisse .....</b>	<b>146</b>
<b>Literaturverzeichnis .....</b>	<b>148</b>