

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>13</b>
<b>I</b>	<b>Grundlagen der Digitaltechnik 1</b>	<b>23</b>
<b>2</b>	<b>Materialien zum Buch</b>	<b>27</b>
2.1	Das FPGA-Board . . . . .	28
2.1.1	Beschreibung der Komponenten . . . . .	29
2.2	Die Entwicklungssoftware "Diamond" . . . . .	37
2.3	Übungsblätter . . . . .	41
<b>3</b>	<b>Aufbau von Teil I: „Grundlagen der Digitaltechnik 1“</b>	<b>43</b>
<b>4</b>	<b>Boolesche Logik</b>	<b>45</b>
4.1	Analog versus digital . . . . .	45
4.2	Boolesche Algebra . . . . .	48
4.2.1	Wahrheitstabellen . . . . .	50
4.2.2	Boolesche Grundfunktionen mit zwei Eingängen . . . . .	50
4.2.3	Übung zu Funktionen mit zwei Eingängen . . . . .	53
4.2.4	Boolesche Grundfunktionen mit N Eingängen . . . . .	56
4.2.5	Übung zu Funktionen mit vier Eingängen . . . . .	56
4.2.6	Zusammengesetzte boolesche Funktionen . . . . .	58
4.2.7	Rechnen mit booleschen Werten . . . . .	61
4.2.8	Übungen zu booleschen Gleichungen . . . . .	64
4.3	Normalformen . . . . .	65
4.3.1	Disjunktive Normalform . . . . .	65
4.3.2	Konjunktive Normalform . . . . .	67
4.3.3	Vergleich der Normalformen . . . . .	68
4.3.4	Übungen zu Normalformen . . . . .	69
4.4	Binärzahlen . . . . .	70
4.4.1	Das Stellenwertsystem . . . . .	70
4.4.2	Umwandlung zwischen Binär und Dezimal . . . . .	73
4.4.3	Übungen zur Zahlenumwandlung . . . . .	76
4.4.4	Weitere Übung zur Zahlenumwandlung . . . . .	77
4.4.5	Binäre Addition . . . . .	79
4.4.6	Übungen zur binären Addition . . . . .	81
4.4.7	Halb- und Volladdierer . . . . .	85

4.4.8	Negative Zahlen . . . . .	89
4.4.9	Binäre Subtraktion . . . . .	94
4.4.10	Übungen zum Zweierkomplement . . . . .	95
4.4.11	Weitere Übung zum Zweierkomplement . . . . .	99
4.5	Das Entwicklungs-Board in den Auslieferungszustand bringen . . . . .	101
4.6	Lösungen zu den Übungsaufgaben . . . . .	104
<b>II Grundlagen der Digitaltechnik 2</b>		<b>113</b>
<b>5</b>	<b>Aufbau von Teil II: „Grundlagen der Digitaltechnik 2“</b>	<b>115</b>
<b>6</b>	<b>Darstellung und Beschreibung von Gatterlogik</b>	<b>117</b>
6.1	Grundgatter . . . . .	117
6.1.1	Eine kurze Einführung in VHDL . . . . .	119
6.1.2	VHDL-Beschreibung für ein UND-Gatter . . . . .	119
6.1.3	Das erste FPGA-Projekt . . . . .	122
6.1.4	Zeitgenaue Modellierung realer Gatter . . . . .	151
6.2	Kombinierte Gatter . . . . .	151
<b>7</b>	<b>Schaltnetze</b>	<b>163</b>
7.1	Boolesche Gleichungen in VHDL . . . . .	163
7.2	Umsetzung von Wahrheitstabellen in VHDL . . . . .	166
<b>8</b>	<b>Digitale Speicherelemente</b>	<b>175</b>
8.1	RS-Flip-Flop . . . . .	175
8.2	D-Latch . . . . .	181
8.3	D-Flip-Flop . . . . .	184
8.3.1	Steuereingänge für Flip-Flops . . . . .	190
8.4	Register . . . . .	194
8.4.1	Parallelregister . . . . .	195
8.4.2	Serienregister . . . . .	198
<b>9</b>	<b>Schaltwerke</b>	<b>201</b>
<b>III Komponenten Digitaler Systeme</b>		<b>205</b>
<b>10</b>	<b>Aufbau von Teil III: „Komponenten Digitaler Systeme“</b>	<b>207</b>
<b>11</b>	<b><i>std_logic</i>-Datentypen</b>	<b>209</b>
<b>12</b>	<b>Transport im Datenpfad</b>	<b>213</b>
12.1	Multiplexer . . . . .	213
12.2	Demultiplexer . . . . .	217
12.3	Datenbus . . . . .	220
<b>13</b>	<b>Schaltungen zur Datenverarbeitung</b>	<b>223</b>
13.1	Umkodieren von Daten . . . . .	223

13.2	Rechenschaltungen . . . . .	225
13.2.1	Die Vektortypen <i>signed</i> und <i>unsigned</i> . . . . .	226
13.2.2	Addieren und Subtrahieren . . . . .	230
13.2.3	Multiplizieren . . . . .	232
13.2.4	Schieben und Rotieren . . . . .	234
13.2.5	Testen und Vergleichen . . . . .	237
13.2.6	Häufige Probleme mit <i>signed</i> und <i>unsigned</i> . . . . .	239
<b>14</b>	<b>Datenspeicher</b>	<b>243</b>
14.1	Register und Speicher . . . . .	243
14.1.1	Universalregister . . . . .	243
14.1.2	Arbeitsspeicher . . . . .	246
14.2	Zwischenspeicherung im Datenpfad . . . . .	249
14.2.1	Pipelines . . . . .	249
14.2.2	FIFO-Speicher . . . . .	249
14.2.3	LIFO-Speicher . . . . .	251
14.3	Register-File . . . . .	251
<b>15</b>	<b>Ablaufsteuerung</b>	<b>255</b>
15.1	Endliche Automaten . . . . .	257
15.1.1	Mealy-Automat . . . . .	257
15.1.2	Moore-Automat . . . . .	259
15.2	Endliche autonome Automaten . . . . .	260
15.2.1	Zähler . . . . .	260
15.2.2	Sequenzner . . . . .	266
<b>IV</b>	<b>Hardwarebeschreibung mit VHDL auf RTL-Ebene</b>	<b>269</b>
<b>16</b>	<b>Aufbau von Teil IV: „Hardwarebeschreibung mit VHDL auf RTL-Ebene“</b>	<b>271</b>
<b>17</b>	<b>Simulation von VHDL-Modellen</b>	<b>273</b>
17.1	Warum simulieren? . . . . .	273
17.2	Die zwei Phasen der VHDL-Simulation . . . . .	274
17.3	Das „Weihnachtsmannprinzip“ . . . . .	275
17.3.1	Prozessausführung . . . . .	277
17.3.2	Zeit in der Simulation . . . . .	279
17.3.3	ALDEC VHDL-Simulator . . . . .	281
17.3.4	Deltazyklen . . . . .	285
17.3.5	VHDL-Modell eines RS-Flipflops . . . . .	287
<b>18</b>	<b>Synchrone Schaltungen</b>	<b>293</b>
18.1	Warum Hardware-Synthese? . . . . .	293
18.2	Was sind synchrone Schaltungen? . . . . .	294
18.2.1	Pipelining . . . . .	295
18.2.2	„MinMax8“: Minimum und Maximum von acht Zahlen . . . . .	295
18.3	RTL-Beschreibungen . . . . .	314

<b>19 VHDL-Beschreibungen von RTL-Designs</b>	<b>317</b>
19.1 Getrennte Beschreibung von Registern und kombinatorischer Logik . . . . .	317
19.1.1 Register . . . . .	317
19.1.2 Schleifen . . . . .	320
19.2 Kombinatorische Logik . . . . .	321
19.3 Gemeinsame Beschreibung von Registern und kombinatorischer Logik . . . . .	323
19.3.1 Synthese einer <b>if-then-else</b> -Anweisung . . . . .	325
19.3.2 Synthese einer „if-then“-Anweisung . . . . .	327
19.3.3 Synthese von „if-then-else“-Ketten . . . . .	327
19.3.4 Mehrere Zuweisungen in einer „if-then“-Anweisung . . . . .	329
19.3.5 Verschiedene Signale in den Alternativen einer <b>if-then-else</b> -Anweisung . . . . .	330
19.3.6 Case-Anweisung . . . . .	331
19.4 Übungen zur RTL-Synthese Teil I . . . . .	333
19.5 Variablen . . . . .	336
19.5.1 Variablen als flüchtiger Zwischenspeicher . . . . .	338
19.5.2 Variablen als Register . . . . .	343
19.6 Vereinfachtes <i>MM</i> -Modul für <i>MinMax8PipeSlim</i> . . . . .	345
19.7 Beispiel 1: Mittelwertfilter . . . . .	346
19.8 Beispiel 2: Optimierte Mittelwertfilter . . . . .	354
19.9 Beispiel 3: Größter Wert im Fenster . . . . .	358
<b>20 Lösungen zu den Übungsaufgaben</b>	<b>361</b>
<b>V Ein FPGA-Projekt step-by-step</b>	<b>365</b>
<b>21 Aufbau von Teil V: „Ein FPGA-Projekt step-by-step“</b>	<b>367</b>
<b>22 Konstanten, Subtypes, Packages und Generics</b>	<b>369</b>
22.1 Konstanten . . . . .	369
22.2 Subtypes . . . . .	371
22.2.1 Unterschied zwischen <i>type</i> und <i>subtype</i> . . . . .	372
22.3 Packages . . . . .	374
22.4 Generics . . . . .	378
<b>23 HNR16 – ein einfacher RISC-Mikroprozessor</b>	<b>383</b>
23.1 Grundsätzliche Arbeitsweise eines Prozessors . . . . .	384
23.2 Architektur des HNR16 . . . . .	385
23.3 Ein einfaches Beispielprogramm . . . . .	387
23.3.1 Befehlsformat der verwendeten Befehle . . . . .	388
23.3.2 Das Maschinenprogramm . . . . .	389
23.4 VHDL-Design des HNR16 . . . . .	390
23.4.1 Der Programmspeicher . . . . .	390
23.4.2 Der Datenspeicher . . . . .	396
23.4.3 Der Registersatz . . . . .	401
23.4.4 Der Decoder . . . . .	411
23.4.5 Die ALU . . . . .	414

23.4.6	Zusammenbau des HNR16 . . . . .	418
23.4.7	Optimierung des HNR16 . . . . .	425
23.5	Der vollständige Befehlssatz des HNR16 . . . . .	431
<b>VI</b>	<b>FPGA-Architektur</b>	<b>435</b>
<b>24</b>	<b>Aufbau von Teil VI: „FPGA-Architektur“</b>	<b>437</b>
<b>25</b>	<b>Basiskomponenten von FPGAs</b>	<b>439</b>
25.1	Logikelemente . . . . .	440
25.1.1	LUT-basierte Kombinatorik . . . . .	442
25.1.2	MUX-basierte Kombinatorik . . . . .	457
25.1.3	Flip-Flops in Logikelementen . . . . .	459
25.1.4	Sonderfunktionen in Logikelementen . . . . .	460
25.2	Ein-/Ausgabeblocke . . . . .	462
25.3	Verbindungsressourcen . . . . .	469
25.4	Programmierbare Elemente . . . . .	472
<b>26</b>	<b>Spezielle Funktionseinheiten</b>	<b>475</b>
26.1	PLL-Schaltungen . . . . .	477
26.2	Speicherblöcke . . . . .	479
26.3	DSP-Einheiten . . . . .	481
26.4	Entwurf mit Spezialressourcen . . . . .	483
<b>27</b>	<b>Stromversorgung und Konfiguration</b>	<b>487</b>
27.1	Stromversorgung . . . . .	487
27.2	Konfiguration . . . . .	488