

Inhaltsverzeichnis

Vorwort zur 4. Auflage	V
Inhaltsverzeichnis	VII
1 Einleitung	1
1.1 Die Hardwarebeschreibungssprache VHDL	3
1.2 Digitale und Analoge Signale	4
1.3 Digitale Systeme	5
1.4 Gliederung des Buches	7
1.5 Vertiefende Aufgaben	9
2 Modellierung digitaler Schaltungen	11
2.1 Lernziele	11
2.2 Entwurfssichten und Abstraktionsebenen	11
2.3 Modellierung mit Hardwarebeschreibungssprachen	14
2.3.1 Datenflussmodelle	15
2.3.2 Strukturmodelle	15
2.3.3 Verhaltensmodelle	16
2.4 Kombinatorische und getaktete Logik	17
2.4.1 Eigenschaften kombinatorischer Logik	17
2.4.2 Eigenschaften getakteter Logik	18
2.4.3 Modellierung auf Register-Transfer-Ebene	18
2.5 Entwurfsmethodik für programmierbare digitale Schaltungen	19
2.6 Vertiefende Aufgaben	21
3 Boole'sche Algebra	23
3.1 Lernziele	23
3.2 Schaltvariable und Schaltfunktionen, Signale	23
3.3 Elementare Schaltfunktionen	24
3.3.1 Die NICHT-Schaltfunktion (Inversion)	25
3.3.2 Die UND-Schaltfunktion (Konjunktion)	25
3.3.3 Die ODER-Schaltfunktion (Disjunktion)	26
3.3.4 Boole'sche Funktionen mit mehreren Eingängen	26

3.4	Rechenregeln der Schaltalgebra	27
3.4.1	Theoreme	27
3.4.2	Kommutativgesetze	28
3.4.3	Assoziativgesetze	28
3.4.4	Distributivgesetze	28
3.4.5	De Morgan'sche Gesetze	29
3.4.6	Vereinfachungsregeln	30
3.5	Vollständige Systeme	31
3.5.1	Das Dualitätsprinzip	31
3.5.2	NAND- und NOR-Gatter	31
3.6	Normalformen	33
3.6.1	Disjunktive Normalform (DNF)	34
3.6.2	Konjunktive Normalform (KNF)	34
3.7	Realisierung von Schaltfunktionen mit Wahrheitstabellen	35
3.7.1	SOP- und POS-Darstellungen von Wahrheitstabellen in programmierbaren Bausteinen mit UND/ODER-Logik	37
3.7.2	Look-Up-Tabellen	37
3.8	XOR- und XNOR-Logik	38
3.8.1	SOP- und POS-Darstellungen	38
3.8.2	XOR- und XNOR-Regeln und Gesetze	39
3.8.3	XOR- und XNOR-Logik mit mehr als zwei Eingängen	39
3.9	Vorrangregeln	40
3.10	Schaltsymbole	41
3.11	Implementierung von Schaltfunktionen mit Multiplexern	44
3.12	Analyse von Schaltnetzen	45
3.13	Vertiefende Aufgaben	48
4	VHDL-Einführung I	51
4.1	Lernziele	51
4.2	Syntaxnotation	51
4.3	Der Aufbau eines VHDL-Modells	52
4.3.1	Beschreibung einer entity	53
4.3.2	Aufbau einer architecture	55
4.3.3	Nebenläufige Signalzuweisungen	55
4.3.4	Logikoperatoren in VHDL	56
4.4	Das Konzept von VHDL-Testbenches	63
4.5	Vertiefende Aufgaben	66
5	Zahlensysteme in der Digitaltechnik	69
5.1	Lernziele	70

5.2	Polyadische Zahlensysteme	70
5.3	Umwandlung zwischen Zahlensystemen	72
5.4	Addition und Subtraktion vorzeichenloser Dualzahlen	74
5.5	Darstellung negativer Zahlen	76
5.5.1	Eigenschaften des 2er-Komplementzahlensystems	77
5.5.2	Addition und Subtraktion im 2er-Komplementzahlensystem	80
5.6	Darstellung rationaler Zahlen	83
5.6.1	Festkommadarstellung im Q-Format	83
5.6.2	Gleitkommadarstellung	85
5.7	Vertiefende Aufgaben	86
6	Logikminimierung	89
6.1	Lernziele	89
6.2	Minimierung mit KV-Tafeln	89
6.2.1	Disjunktive Minimalform (DMF)	90
6.2.2	Konjunktive Minimalform (KMF)	98
6.2.3	Output-Don't-Care-Terme	99
6.2.4	Grenzen der zweistufigen Minimierung	101
6.3	Softwarealgorithmen zur zweistufigen Minimierung	107
6.3.1	Quine-McCluskey-Algorithmus	107
6.3.2	Espresso-Algorithmus	108
6.4	Minimierungskonzepte für FPGAs	108
6.5	Vertiefende Aufgaben	110
7	VHDL-Einführung II	113
7.1	Lernziele	113
7.2	Das VHDL-Prozesskonzept	113
7.3	Ereignisgesteuerte Simulatoren	115
7.4	Verzögerungsmodelle	119
7.5	Sequenzielle Anweisungen in Prozessen	121
7.5.1	case-Anweisung	121
7.5.2	if-Anweisung	122
7.6	Prozesse ohne Sensitivityliste	127
7.7	Verwendung von Variablen in Prozessen	127
7.8	Modellierungsbeispiel	129
7.9	Lesen und Schreiben von Dateien in Testbenches	133
7.10	Vertiefende Aufgaben	135

8	Codes	137
8.1	Lernziele	137
8.2	Charakterisierung und Klassifizierung	137
8.3	Zahlencodes	138
8.4	Code für die Längen- und Winkelmesstechnik	142
8.5	Methoden der Fehlererkennung und -korrektur	143
8.6	Vertiefende Aufgaben	146
9	Physikalische Implementierung und Beschaltung von Logikgattern	149
9.1	Lernziele	149
9.2	Logikgatter in CMOS-Technologie	149
9.2.1	CMOS-Technologie und Kennlinien der MOS-Transistoren	149
9.2.2	Aufbau und Kennlinien eines CMOS-Inverters	151
9.2.3	Pegelbereiche digitaler Logikfamilien	153
9.3	Logikzustände und elektrische Pegel	155
9.4	Statische CMOS-Logikgatter	157
9.5	Beschaltung von Gatterausgängen	158
9.5.1	Standardausgang	158
9.5.2	Open-Drain- / Open-Collector-Ausgang	159
9.5.3	Three-State-Ausgang	162
9.6	VHDL-Modellierung mit den Datentypen <code>std_ulogic</code> und <code>std_logic</code>	165
9.6.1	Mehrwertige Datentypen	165
9.6.2	Datentypen mit Auflösungsfunktion	166
9.6.3	VHDL-Modellierungsbeispiele	168
9.7	Vertiefende Aufgaben	172
10	Datenpfadkomponenten	175
10.1	Lernziele	176
10.2	Multiplexer	176
10.3	Binärzahlendecoder und Demultiplexer	178
10.4	Prioritätsencoder	181
10.5	Code-Umsetzer	183
10.6	Komparator	186
10.7	Hierarchische Strukturmodellierung in VHDL	186
10.8	Addierer	189
10.8.1	Halb- und Volladdierer	189
10.8.2	Ripple-Carry-Addierer	193
10.8.3	Carry-Lookahead-Addierer	196

10.8.4	Kombinierter Addierer/Subtrahierer	199
10.8.5	Addition von Festkommazahlen im Q-Format	199
10.9	Hardware-Multiplizierer	201
10.10	Arithmetik in VHDL.....	203
10.11	Vertiefende Aufgaben.....	208
11	Latches und Flipflops in synchronen Schaltungen	211
11.1	Lernziele	212
11.2	Das RS-Latch.....	213
11.2.1	Basis-RS-Latch	213
11.2.2	Taktzustandsgesteuertes RS-Latch	218
11.3	Das D-Latch (Data-Latch)	220
11.4	D-Flipflops.....	223
11.5	JK-Flipflop.....	232
11.6	T-Flipflop.....	233
11.7	Zweisppeicher-Flipflops	234
11.8	RTL-Modellierung synchroner Schaltungen.....	236
11.9	Zusammenfassung	239
11.10	Vertiefende Aufgaben.....	239
12	Entwurf synchroner Zustandsautomaten	245
12.1	Lernziele	246
12.2	Formale Beschreibung von Zustandsautomaten	246
12.3	Entwurf eines Geldwechselautomaten	249
12.3.1	Realisierung als Mealy-Automat	249
12.3.2	Realisierung als Moore-Automat	259
12.3.3	Medwedew-Automatenstruktur	264
12.4	Impulsfolgeerkennung mit Zustandsautomaten	264
12.4.1	Implementierung als Moore-Automat.....	265
12.4.2	Implementierung als Mealy-Automat	267
12.5	Kopplung von Zustandsautomaten.....	270
12.6	Vertiefende Aufgaben.....	272
13	Entwurf von Synchronzählern	275
13.1	Lernziele	275
13.2	Manuelle Implementierung von Zählern.....	276
13.2.1	mod-5-Zähler	276
13.2.2	mod-4-Vorwärts-/Rückwärtszähler.....	281

13.3	Standardzähler	285
13.3.1	Abhängigkeitsnotation	285
13.3.2	Systematischer VHDL-Entwurf von Zählern	287
13.3.3	Kaskadierung von Standardzählern	291
13.4	Vertiefende Aufgaben.....	293
14	Schieberegister	297
14.1	Lernziele	297
14.2	Arbeitsweise von Schieberegistern.....	297
14.3	Serien-Parallel-Umsetzer	299
14.4	Parallel-Serien-Umsetzer.....	301
14.5	Zähler mit Schieberegistern	304
14.5.1	Ringzähler.....	305
14.5.2	Johnson-Zähler	307
14.6	Linear rückgekoppelte Schieberegister.....	309
14.7	Vertiefende Aufgaben.....	312
15	Kommunikation zwischen digitalen Teilsystemen	315
15.1	Lernziele	315
15.2	Kopplung von Signalen in zueinander synchronen Taktdomänen.....	316
15.2.1	Impulsverkürzung.....	316
15.2.2	Impulsverlängerung.....	317
15.3	Synchronisation asynchroner Eingangssignale.....	321
15.3.1	Synchronisation langer Eingangsimpulse	321
15.3.2	Synchronisation kurzer Eingangsimpulse.....	325
15.3.3	Asynchrone Resets	326
15.4	Datenaustausch zwischen Teilsystemen	328
15.4.1	Synchrone Datenübertragung	329
15.4.2	Asynchrone Datenübertragung	331
15.5	Der AXI4-Interfacestandard	340
15.5.1	Übersicht.....	340
15.5.2	Das AXI4-Stream Interface	340
15.6	Vertiefende Aufgaben.....	343
16	Digitale Halbleiterspeicher	345
16.1	Lernziele	345
16.2	Übersicht.....	345
16.2.1	Klassifizierung.....	345
16.2.2	Speicherstrukturen	346
16.2.3	Kenngrößen	348
16.3	Nichtflüchtige Speicher	349
16.3.1	Maskenprogrammierbares ROM	349

16.3.2	PROM.....	351
16.3.3	EPROM.....	351
16.3.4	EEPROM und Flash-EEPROM	352
16.3.5	Instanziierung von ROM-Strukturen durch VHDL-Code.....	353
16.4	Flüchtige Speicher	354
16.4.1	SRAMs	354
16.4.2	DRAMs.....	357
16.4.3	SDRAM und DDR-RAM	360
16.4.4	Modellierung von SRAM-Speicher in VHDL	361
16.5	FIFO-Speicher	365
16.6	Speichererweiterung	372
16.7	Vertiefende Aufgaben.....	375
17	Programmierbare Logik	377
17.1	Lernziele	377
17.2	PLD-Architekturen	377
17.3	SPLDs.....	379
17.3.1	PROM-Speicher.....	379
17.3.2	PLAs	383
17.3.3	PALs	384
17.4	CPLDs	390
17.5	FPGAs	393
17.5.1	Die Spartan-3-FPGA-Familie der Fa. Xilinx.....	395
17.5.2	Technologische Entwicklungstrends bei FPGAs	402
17.6	Vertiefende Aufgaben.....	403
18	Anhang	405
18.1	Erweiterungen durch den Standard VHDL-2008.....	405
18.2	Hinweise zur Verwendung der Vivado WebPACK Entwicklungsumgebung	418
18.2.1	Konfiguration eines RTL-Projektes in Vivado	419
18.2.2	Funktionale Simulation des VHDL-Codes	423
18.2.3	Synthese und Implementierung.....	427
18.2.4	Hardwaredownload und Test	431
18.2.5	Entwurf getakteter Schaltungen mit Vivado	434
18.3	Hinweise zur Verwendung von ModelSim	440
18.3.1	ModelSim Hilfesystem	440
18.3.2	Entwicklungsablauf mit ModelSim	440
18.4	VHDL-Codierungsempfehlungen.....	452
19	Literaturverzeichnis	457
20	Sachregister	461