

# Inhaltsverzeichnis

---

<b>Vorwort</b> .....	15
<b>1 Einleitung</b> .....	19
1.1 Strukturierte Computerorganisation .....	20
1.1.1 Sprachen, Ebenen und virtuelle Maschinen .....	20
1.1.2 Moderne mehrschichtige Maschinen .....	23
1.1.3 Evolution mehrschichtiger Maschinen .....	27
1.2 Meilensteine der Computer-Architektur .....	32
1.2.1 Mechanische Computer (1642–1945).....	34
1.2.2 Die erste Generation – Vakuumröhren (1945–1955).....	36
1.2.3 Die zweite Generation – Transistoren (1955–1965).....	39
1.2.4 Die dritte Generation – integrierte Schaltungen (1965–1980) .....	42
1.2.5 Die vierte Generation – VLSI-Integration (1980 – ?).....	44
1.3 Der Computer-Zoo .....	46
1.3.1 Technologische und wirtschaftliche Kräfte.....	46
1.3.2 Das Computer-Spektrum .....	48
1.4 Beispiele von Computer-Familien .....	50
1.4.1 Einführung in Pentium II.....	51
1.4.2 Einführung in UltraSPARC II .....	54
1.4.3 Einführung in picoJava II .....	56
1.5 Überblick über den Rest des Buchs .....	59
1.6 Aufgaben .....	61
<b>2 Aufbau von Computer-Systemen</b> .....	63
2.1 Prozessoren .....	63
2.1.1 Aufbau der CPU .....	64
2.1.2 Ausführung von Instruktionen.....	66
2.1.3 RISC kontra CISC.....	70
2.1.4 Designprinzipien moderner Computer .....	72
2.1.5 Parallelität auf Instruktionsebene .....	74
2.1.6 Parallelität auf Prozessorebene.....	78

2.2	Primäre Speicher.....	82
2.2.1	Bits.....	82
2.2.2	Speicheradressen.....	83
2.2.3	Byteanordnung.....	85
2.2.4	Fehlerkorrekturcodes.....	87
2.2.5	Cache-Speicher.....	91
2.2.6	Speicherbaueinheiten und -typen.....	95
2.3	Sekundäre Speicher .....	96
2.3.1	Speicherhierarchien.....	96
2.3.2	Magnetplatten.....	97
2.3.3	Disketten.....	101
2.3.4	IDE-Festplatten .....	102
2.3.5	SCSI-Festplatten .....	103
2.3.6	RAID.....	105
2.3.7	CD-ROM.....	109
2.3.8	Einmal beschreibbare CD .....	113
2.3.9	Wiederbeschreibbare CD.....	116
2.3.10	DVD.....	117
2.4	Eingabe/Ausgabe .....	119
2.4.1	Busse.....	119
2.4.2	Terminals .....	123
2.4.3	Mäuse .....	131
2.4.4	Drucker.....	133
2.4.5	Modems.....	139
2.4.6	Zeichencodes .....	142
2.5	Zusammenfassung.....	146
2.6	Aufgaben .....	147
<b>3</b>	<b>Die digitale logische Ebene .....</b>	<b>153</b>
3.1	Gates und boolesche Algebra .....	153
3.1.1	Gates .....	153
3.1.2	Boolesche Algebra .....	156
3.1.3	Implementierung von booleschen Funktionen .....	158
3.1.4	Schaltungsäquivalenz .....	160
3.2	Grundlegende digitale logische Schaltungen .....	164

---

3.2.1	Integrierte Schaltungen.....	164
3.2.2	Kombinationsschaltungen.....	166
3.2.3	Arithmetische Schaltungen .....	172
3.2.4	Taktgeber .....	176
3.3	Speicher .....	178
3.3.1	Latches.....	178
3.3.2	Flip-Flop-Schaltungen .....	181
3.3.3	Register.....	183
3.3.4	Speicherorganisation .....	184
3.3.5	Speicherchips .....	188
3.3.6	RAM und ROM .....	190
3.4	CPU-Chips und Busse.....	193
3.4.1	CPU-Chips.....	193
3.4.2	Computer-Busse .....	195
3.4.3	Busbreite.....	198
3.4.4	Bustaktung .....	200
3.4.5	Bus-Arbitration.....	204
3.4.6	Busoperationen .....	207
3.5	Beispiele von CPU-Chips .....	210
3.5.1	Pentium II.....	210
3.5.2	UltraSPARC II .....	216
3.5.3	picoJava II .....	220
3.6	Beispielbusse .....	222
3.6.1	ISA-Bus .....	222
3.6.2	PCI-Bus.....	224
3.6.3	USB (Universal Serial Bus).....	232
3.7	Schnittstellen .....	235
3.7.1	E/A-Chips .....	235
3.7.2	Dekodierung von Adressen .....	237
3.8	Zusammenfassung.....	240
3.9	Aufgaben .....	241
<b>4</b>	<b>Die Mikroarchitekturebene.....</b>	<b>247</b>
4.1	Beispiel einer Mikroarchitektur.....	247
4.1.1	Der Datenweg .....	248

4.1.2	Mikroinstruktionen .....	255
4.1.3	Mikroinstruktionssteuerung: Mic-1 .....	257
4.2	ISA-Beispiel: IJVM .....	263
4.2.1	Stapel .....	263
4.2.2	Das IJVM-Speichermodell .....	265
4.2.3	Der IJVM-Befehlsvorrat .....	267
4.2.4	Java in IJVM kompilieren .....	271
4.3	Beispielimplementierung .....	273
4.3.1	Mikroinstruktionen und Notation .....	273
4.3.2	IJVM mit der Mic-1 implementieren .....	278
4.4	Design der Mikroarchitekturebene .....	292
4.4.1	Geschwindigkeit gegenüber Kosten .....	293
4.4.2	Reduzierung der Ausführungspfadlänge .....	295
4.4.3	Design mit Vorauslesen: Mic-2 .....	303
4.4.4	Pipeline-Design: Mic-3 .....	307
4.4.5	Siebenstufige Pipeline: Mic-4 .....	313
4.5	Leistungsverbesserung .....	317
4.5.1	Cache-Speicher .....	318
4.5.2	Sprungvorhersage .....	324
4.5.3	Ausführung außer der Reihe und Registerumbenennung .....	330
4.5.4	Spekulative Ausführung .....	336
4.6	Beispiele der Mikroarchitekturebene .....	339
4.6.1	Die Mikroarchitektur der Pentium-II-CPU .....	339
4.6.2	Die Mikroarchitektur der UltraSPARC-II-CPU .....	344
4.6.3	Die Mikroarchitektur der picoJava-II-CPU .....	348
4.6.4	Pentium, UltraSPARC und picoJava im Vergleich .....	353
4.7	Zusammenfassung .....	355
4.8	Aufgaben .....	356
<b>5</b>	<b>Die ISA-Ebene (Instruction Set Architecture) .....</b>	<b>361</b>
5.1	Übersicht über die ISA-Ebene .....	363
5.1.1	Eigenschaften der ISA-Ebene .....	363
5.1.2	Speichermodelle .....	365
5.1.3	Register .....	367
5.1.4	Instruktionen .....	369

---

5.1.5	Übersicht über die ISA-Ebene des Pentium II.....	369
5.1.6	Übersicht über die ISA-Ebene der UltraSPARC II.....	372
5.1.7	Übersicht über die ISA-Ebene der JVM.....	376
5.2	Datentypen.....	377
5.2.1	Numerische Datentypen.....	378
5.2.2	Nicht numerische Datentypen.....	379
5.2.3	Datentypen auf dem Pentium II.....	380
5.2.4	Datentypen auf der UltraSPARC II.....	380
5.2.5	Datentypen auf der JVM (Java Virtual Machine).....	381
5.3	Instruktionsformate.....	382
5.3.1	Designkriterien für Instruktionsformate.....	383
5.3.2	Opcodes-Erweiterung.....	385
5.3.3	Instruktionsformate des Pentium II.....	388
5.3.4	Instruktionsformate der UltraSPARC II.....	389
5.3.5	Instruktionsformate der JVM.....	391
5.4	Adressierung.....	393
5.4.1	Adressiermodi.....	395
5.4.2	Unmittelbare Adressierung.....	395
5.4.3	Registeradressierung.....	396
5.4.4	Indirekte Registeradressierung.....	396
5.4.5	Indizierte Adressierung.....	398
5.4.6	Basisindizierte Adressierung.....	399
5.4.7	Stapeladressierung.....	400
5.4.8	Adressiermodi für Sprunginstruktionen.....	404
5.4.9	Orthogonalität von Opcodes und Adressiermodi.....	404
5.4.10	Adressiermodi des Pentium II.....	406
5.4.11	Adressiermodi der UltraSPARC II.....	408
5.4.12	Adressiermodi der JVM.....	409
5.4.13	Adressiermodi im Vergleich.....	409
5.5	Instruktionstypen.....	410
5.5.1	Instruktionen zur Datenbewegung.....	410
5.5.2	Dyadische Operationen.....	411
5.5.3	Monadische Operationen.....	413
5.5.4	Vergleiche und bedingte Sprünge.....	415
5.5.5	Instruktionen für Prozeduraufrufe.....	417

5.5.6	Schleifensteuerung .....	418
5.5.7	Ein-/Ausgaben .....	419
5.5.8	Instruktionen des Pentium II .....	423
5.5.9	Instruktionen der UltraSPARC II.....	426
5.5.10	Instruktionen der picoJava II.....	430
5.5.11	Befehlssätze im Vergleich .....	435
5.6	Ablaufsteuerung .....	436
5.6.1	Sequentielle Ablaufsteuerung und Sprünge .....	436
5.6.2	Prozeduren .....	437
5.6.3	Coroutinen.....	442
5.6.4	Traps.....	445
5.6.5	Interrupts.....	446
5.7	Ausführliches Beispiel: Die Türme von Hanoi .....	450
5.7.1	Türme von Hanoi in Assembler für den Pentium II .....	450
5.7.2	Türme von Hanoi in der UltraSPARC II-Assemblersprache .....	453
5.7.3	Türme von Hanoi in Assemblersprache für die JVM.....	455
5.8	Die Intel IA-64 .....	457
5.8.1	Das Problem mit dem Pentium II.....	458
5.8.2	Modell IA-64 und EPIC.....	460
5.8.3	Prädikation .....	461
5.8.4	Spekulative Ladeoperationen.....	464
5.8.5	Realitätsprüfung.....	465
5.9	Zusammenfassung.....	466
5.10	Aufgaben .....	467
<b>6</b>	<b>Die Ebene der Betriebssystemmaschine .....</b>	<b>475</b>
6.1	Virtueller Speicher .....	476
6.1.1	Paging .....	477
6.1.2	Implementierung von Paging .....	479
6.1.3	Demand-Paging und Arbeitsmenge.....	483
6.1.4	Seitenersetzung.....	484
6.1.5	Seitengröße und Fragmentierung.....	487
6.1.6	Segmentierung.....	488
6.1.7	Implementierung der Segmentierung .....	492
6.1.8	Der virtuelle Speicher des Pentium II .....	495

---

6.1.9	Der virtuelle Speicher der UltraSPARC II .....	500
6.1.10	Virtuelle Speicher und Caching.....	503
6.2	Virtuelle E/A-Instruktionen .....	504
6.2.1	Dateien.....	504
6.2.2	Implementierung virtueller E/A-Instruktionen.....	506
6.2.3	Instruktionen für die Verzeichnisverwaltung .....	510
6.3	Virtuelle Instruktionen für parallele Verarbeitung.....	511
6.3.1	Erstellen von Prozessen .....	513
6.3.2	Laufbedingungen.....	513
6.3.3	Semaphore zur Synchronisation von Prozessen.....	518
6.4	Beispiele von Betriebssystemen.....	522
6.4.1	Einleitung.....	522
6.4.2	Beispiele von virtuellen Speichern .....	533
6.4.3	Beispiele virtueller E/A.....	536
6.4.4	Beispiele der Prozeßverwaltung .....	549
6.5	Zusammenfassung.....	557
6.6	Aufgaben .....	558
<b>7</b>	<b>Die Ebene der Assemblersprache.....</b>	<b>565</b>
7.1	Einführung in die Assemblersprache .....	566
7.1.1	Was ist eine Assemblersprache?.....	566
7.1.2	Wofür braucht man eine Assemblersprache? .....	567
7.1.3	Format einer Anweisung in Assemblersprache.....	570
7.1.4	Pseudoinstruktionen .....	575
7.2	Makros .....	577
7.2.1	Definition, Aufruf und Erweiterung eines Makros.....	577
7.2.2	Makros mit Parametern .....	579
7.2.3	Weitere Funktionen.....	580
7.2.4	Makrotechnik in einem Assembler implementieren.....	581
7.3	Der Assemblierungsprozeß.....	582
7.3.1	Assembler mit zwei Durchläufen.....	582
7.3.2	Erster Durchlauf.....	583
7.3.3	Zweiter Durchlauf .....	588
7.3.4	Die Symboltabelle.....	590
7.4	Binden und Laden .....	591

7.4.1	Aufgaben des Binders .....	593
7.4.2	Struktur eines Objektmoduls .....	596
7.4.3	Bindezeit und dynamische Umladung.....	597
7.4.4	Dynamisches Binden.....	600
7.4.5	Dynamisches Binden in Unix.....	604
7.5	Zusammenfassung.....	604
7.6	Aufgaben .....	605
<b>8</b>	<b>Parallele Rechnerarchitekturen.....</b>	<b>609</b>
8.1	Design-Kriterien für Parallelrechner .....	610
8.1.1	Kommunikationsmodelle .....	612
8.1.2	Verbindungsnetze.....	617
8.1.3	Leistung .....	627
8.1.4	Software .....	633
8.1.5	Taxonomie paralleler Computer .....	640
8.2	SIMD-Computer .....	643
8.2.1	Arrayprozessoren.....	643
8.2.2	Vektorprozessoren.....	644
8.3	Mehrprozessoren mit gemeinsamem Speicher.....	649
8.3.1	Speichersemantik.....	649
8.3.2	UMA-busbasierte SMP-Architekturen.....	654
8.3.3	UMA-Mehrprozessorsysteme mit Kreuzschienenschaltern.....	660
8.3.4	UMA-Mehrprozessorsysteme mit mehrstufigen Vermittlungsnetzen.....	662
8.3.5	NUMA-Mehrprozessorsysteme .....	665
8.3.6	Cachekohärente NUMA-Mehrprozessorsysteme .....	666
8.3.7	COMA-Mehrprozessorsysteme .....	678
8.4	Mehrrechnersysteme mit Nachrichtenaustausch.....	680
8.4.1	MPP – Massiv parallele Prozessorsysteme.....	682
8.4.2	COW – Workstation-Cluster .....	687
8.4.3	Job-Scheduling.....	688
8.4.4	Kommunikationssoftware für Mehrrechnersysteme .....	693
8.4.5	Gemeinsamer Speicher auf Anwendungsebene .....	697
8.5	Zusammenfassung.....	705
8.6	Aufgaben .....	706

---

<b>9</b>	<b>Leseliste und Bibliographie</b> .....	711
9.1	Lesenswerte Literatur .....	711
9.1.1	Einführung und allgemeine Werke .....	711
9.1.2	Lektüre zur Organisation von Computersystemen.....	712
9.1.3	Lektüre zur digitalen logischen Ebene .....	712
9.1.4	Lektüre zur Mikroarchitekturebene .....	713
9.1.5	Lektüre zur ISA-Ebene.....	714
9.1.6	Lektüre zur Ebene der Betriebssystemmaschine.....	715
9.1.7	Lektüre zur Ebene der Assemblersprache .....	716
9.1.8	Lektüre zur Architektur von Parallelrechnern .....	716
9.1.9	Lektüre zu Binär- und Gleitkommazahlen .....	717
9.2	Literaturverzeichnis .....	718
	<b>Anhang A: Binärzahlen</b> .....	729
A.1	Zahlen mit endlicher Genauigkeit.....	729
A.2	Basiszahlensysteme .....	731
A.3	Umwandlung von einer Basis in eine andere .....	734
A.4	Negative Binärzahlen .....	736
A.5	Binärarithmetik.....	739
A.6	Aufgaben .....	740
	<b>Anhang B: Gleitkommazahlen</b> .....	743
B.1	Prinzipien der Gleitkommaarithmetik.....	743
B.2	IEEE-Standard 754 für Gleitkommaarithmetik.....	747
B.3	Aufgaben .....	751
	<b>Stichwortverzeichnis</b> .....	753