

Inhaltsverzeichnis

	Seite
1. Stand der Technik	9
1.1. Modifikationen von Verdopplung und Vergleich.....	10
1.1.1. Verdopplung und Vergleich	10
1.1.2. Two-rail-Logik	12
1.1.3. Pseudoverdopplung	13
1.1.4. Regeneration der Inputsymbole	16
1.2. Anwendung von Kodes	18
1.2.1. Paritätsbitprüfung	20
1.2.2. Fehlererkennung in Dekodern	22
1.2.3. Überwachung von Addierern durch modulare arithmetische Kodes	27
1.2.4. Vollständig selbstprüfende Schaltungen	29
1.3. Algebraische Verfahren	32
1.3.1. Fehlererkennung mit Restklassenrechnung	32
1.3.2. Fehlererkennung durch Superposition	38
1.3.3. Anwendung von Paar-Algebren	41
1.4. Erkennen von Ablauffehlern	42
1.5. Spezielle Fehlererkennungsschaltungen	44
2. Kombinatorische Fehlererkennungsschaltungen	48
2.1. Grundbegriffe	48
2.2. Beispiele, Fehlererkennungsschaltungen für Addierer	52
2.3. Fehlererkennung für beliebige Einzelfehler (Verfahren nach Sogomonjan)	62
2.4. Abgeschwächte Anforderungen an die Fehlererkennung	69
3. Sequentielle Fehlererkennungsschaltungen	77
3.1. Grundbegriffe	77
3.2. Effektives Verfahren	79
3.3. Beispiele	85
3.4. Aufwandsminderung durch eingeschränktes Fehlermodell und abgeschwächte Fehlererkennung	101
3.4.1. Eingeschränktes Fehlermodell	103
3.4.2. Verzögerte Fehlererkennung	105
3.5. Fehlererkennung beliebiger Einzelfehler	107
3.6. Aufwandsgrenzen	109

4.	Rechnergestützter Entwurf von Fehlererkennungs-	
	schaltungen	113
4.1.	Praktikabler Algorithmus	113
4.2.	Entwurfsoptimierung und technische Realisierung	120
5.	Anhang	125
5.1.	Fehlermodelle	125
5.2.	Automaten, Begriffe und Bezeichnungen	128
5.3.	Bezeichnung der Bauelemente	133
6.	Literatur	134
7.	Sachwortverzeichnis	140