

# Inhaltsverzeichnis

	<b>Vorwort</b> .....	
<b>0.</b>	<b>Einleitung</b> .....	<b>1</b>
<b>1.</b>	<b>Gründe für den Einsatz von anwenderorientierten Schaltkreisen</b> .....	<b>5</b>
1.1.	Miniaturisierung .....	6
1.2.	Erhöhung der Schaltgeschwindigkeit .....	7
1.3.	Verminderung der Leistungsaufnahme .....	8
1.4.	Erhöhung der Zuverlässigkeit .....	9
1.5.	Schutz vor Nachbau .....	10
1.6.	Kosten .....	11
<b>2.</b>	<b>Technologie, CAE/CAD und Prüftechnik</b> .....	<b>13</b>
2.1.	Technologie .....	14
2.1.1.	Verfahrensschritte in der Silizium-Technologie .....	15
2.1.1.1.	Scheibenherstellung .....	15
2.1.1.2.	Epitaxie .....	16
2.1.1.3.	Dotierungstechniken .....	16
2.1.1.4.	Oxidation .....	19
2.1.1.5.	Fotolithografie und Ätztechnik .....	21
2.1.1.6.	Metallisierung .....	23
2.1.2.	Herstellung integrierter Bipolarschaltungen .....	23
2.1.2.1.	Bipolare Transistoren .....	23
2.1.2.2.	Dioden .....	29
2.1.2.3.	Widerstände .....	29
2.1.2.4.	Kondensatoren .....	31
2.1.2.5.	Verbindungsleitungen .....	33
2.1.3.	Herstellung integrierter MOS-Schaltungen .....	33
2.1.3.1.	Silizium-Gate NMOS-Prozeß .....	34
2.1.3.2.	Silizium-Gate CMOS-Prozeß .....	37
2.1.3.3.	Gegenüberstellung von MOS- und Bipolar-Schaltungen .....	39
2.1.4.	Ausbeute, Herstellungskosten und Scaling .....	40
2.1.5.	Entwurfsregeln und Maskenerstellung .....	48
2.2.	CAE/CAD-Entwurfsverfahren .....	50
2.2.1.	Computer Aided Engineering (CAE) .....	51
2.2.1.1.	Logiksimulation .....	52
2.2.1.2.	Schaltkreissimulation .....	56
2.2.1.3.	Test- und Prüfprogramme .....	56
2.2.2.	Computer Aided Design (CAD) .....	59
2.2.2.1.	Layouterstellung .....	59
2.2.2.2.	Layoutverifikation .....	63
2.2.2.3.	Erstellung des Maskensteuerungsbandes .....	65
2.3.	Prüf- und Testverfahren .....	67
2.3.1.	Prüf- und Teststrategie .....	67
2.3.2.	Prüftechnische Hardwarestrukturen .....	69
2.3.3.	Prüf- und Testeinrichtungen .....	72
2.3.4.	Zuverlässigkeit und Ausfallraten .....	79

<b>3.</b>	<b>Entwurfsmethoden</b>	<b>83</b>
3.1.	Semicustom Entwurfsverfahren	88
3.1.1.	Programmierbare Anordnungen	88
3.1.1.1.	Realisierungsformen: PROMs, PALs, FPLAs, FPLSs	89
3.1.1.2.	Logikentwurf für programmierbare Anordnungen	104
3.1.2.	Gate Arrays	117
3.1.2.1.	Bipolare Gate Arrays	121
3.1.2.2.	CMOS Gate Arrays	134
3.1.3.	Zellen	162
3.1.3.1.	Standardzellen	163
3.1.3.2.	Allgemeine Zellen	166
3.1.4.	Logikentwurf für Gate Arrays und Zellendesign	168
3.1.4.1.	Umsetzung vorhandener Logikpläne	172
3.1.4.2.	Zielgerichteter Entwurf kundenspezifischer Bausteine mit Makros oder Standardzellen	175
3.2.	Full custom Entwurfsverfahren	182
3.2.1.	Spezifikation	183
3.2.2.	Architekturentwicklung	185
3.2.3.	Logikentwicklung	189
3.2.4.	Logiksimulation	195
3.2.5.	Schaltkreisentwicklung	196
3.2.6.	Testentwurf, Teststrukturen	208
3.2.7.	Chiplayout	210
3.2.8.	Layoutverifikation	214
3.2.9.	Schaltkreissimulation	216
3.2.10.	Maskensteuerbanderstellung	218
3.2.11.	Maskenerstellung	220
3.2.12.	Waferfertigung	220
3.2.13.	Prüf- und Testprogramme	221
3.2.14.	Wafertest	221
3.2.15.	Verpackung	223
3.2.16.	Endtest	227
<b>4.</b>	<b>Entscheidungskriterien</b>	<b>229</b>
4.1.	Technische Kriterien	230
4.2.	Grundlagen der Wirtschaftlichkeitsbetrachtungen	232
4.2.1.	Wirtschaftlichkeit von Gate Arrays	236
4.2.2.	Wirtschaftlichkeitsbetrachtungen beim Zellenentwurfsverfahren	244
4.2.3.	Wirtschaftlichkeitsbetrachtungen beim Full custom Entwurfsverfahren	250
4.2.4.	Vergleich der Wirtschaftlichkeit der Verfahren	254
4.3.	Risikobetrachtungen	259
<b>Anhang A</b>		<b>263</b>
<b>Anhang B</b>		<b>269</b>
<b>Anhang C</b>		<b>303</b>