

Inhaltsverzeichnis

1 Einführung	1
1.1 Digitalisierung von Signalen	1
1.1.1 Digitales Übermitteln analoger Signale	2
1.1.2 Abtastung des analogen Signals	3
1.1.3 Digitalisierung der Amplitude	5
1.2 Digitale Information	8
1.2.1 Definition der Information	8
1.2.2 Kanalkapazität	10
1.2.3 Shannon'scher Satz für digitale Kanäle	13
1.2.4 Bitfehlerrate	16
1.3 A/D-und D/A-Conversion	27
1.3.1 Technische Grundprinzipien	27
1.3.2 Paralleler A/D-Converter für hohe Geschwindigkeiten	28
1.3.3 Serieller A/D-Converter	30
1.3.4 A/D-Converter mit Rückführung über D/A-Wandler	31
1.3.5 D/A-Converter mit potentiell gewichtete Widerständen	32
1.3.6 D/A-Converter mit Stromquelle	33
1.3.7 Conversion durch Pulsmodulation	35
1.4 Darstellung abgetasteter Systeme in der z-Ebene	37
1.4.1 Diskretisierung der Fourier- und Laplace-Transformation	37
1.4.2 Abtast-Theorem	40
1.4.3 D/A-Korrekturfilterung	43
1.4.4 z-Transformation und inverse z-Transformation	45
1.4.5 Digitale Filter	50
1.5 Physikalischer Aufbau von Halbleitern in Planartechnik	60
1.5.1 Halbleitereigenschaften	60
1.5.2 Mathematische Beschreibung der Halbleitereffekte	61
1.5.3 Typische physikalische Materialkonst. von Halbleitern	63
1.5.4 pn-Übergänge in Halbleitern	68
1.5.5 Aufbau des bipolaren Transistors	78
1.5.7 Großsignal-Modell des MOS-FET	87
1.5.8 CMOS-Technik (Complementary MOS)	90
1.5.9 Logikfamilien	92
2 Boolesche Algebra und ihre elektrische Realisierung	99
2.1 Verknüpfungen	101
2.1.1 Darstellung der Variablen	101

2.1.2	Logische Basisgatter und deren Symbole	102
2.2	Rechenregeln der Booleschen Algebra	104
2.2.1	Boolesche Axiome	104
2.2.2	Schaltungstechnische Bedeutung der Axiome	105
2.2.3	Duale Operationen	107
2.2.4	De Morgan'sche Regeln	107
2.2.5	Idempotenzgesetz der Booleschen Algebra	109
2.2.6	Absorptionsgesetz	110
2.2.7	Boolesche Ausdrücke	110
2.3	Schaltungsreduktion	112
2.3.1	Boolesche Normalformen	112
2.3.2	Algebraische Reduktion Boolescher Ausdrücke	113
2.3.3	Reduktion von Schaltfunktionen mit KV-Diagramm	115
2.3.4	Unbestimmte KV-Diagramme	122
2.3.5	Programmierte Schaltungsreduktion	125
3	Schaltwerke	127
3.1	Flipflops (FF)	127
3.1.1	RS-Flipflop	127
3.1.2	Taktzustandgesteuertes RS-Flipflop	129
3.1.3	Taktzustandgesteuertes D-Flipflop (Delay FF, D-Latch)	130
3.2	Zweiflankengetriggerte Flipflops mit Zwischenspeicherung	132
3.2.1	RS-Master-Slave-Flipflop	132
3.2.2	JK-Master-Slave-FF	133
3.3	Einflanken-getriggerte Flipflops	135
3.3.1	Einflankengetriggertes D-Flipflop	136
3.4	Flipflop-Schaltwerke	138
3.4.1	Schieberegister	139
3.4.2	Rechts-Links-Schieberegister	140
3.4.3	Schieberegister mit paralleler Eingabe	141
3.4.4	Vergleich von Speicherinhalten	142
3.5	Zählschaltungen	143
3.5.1	Asynchroner Dualzähler	144
3.5.2	Synchroner Dualzähler	145
3.5.3	Synchroner Vorwärts-Rückwärts-Zähler	147
3.5.4	Synchrone Untersetzer	148
3.6	Synchronisierschaltungen	149
3.6.1	Impulssynchronisierung	150
3.6.2	Elastische Speicher	152

4 Integrierte Halbleiterspeicher	156
4.1 Speicheraufbau	157
4.1.1 Speichertypen	157
4.1.2 Speicherorganisation	158
4.2 Festwertspeicher	159
4.2.1 Maskenprogrammierte Festwertspeicher	160
4.2.2 Programmierbare Festwertspeicher	162
4.2.3 Reversible Festwertspeicher	163
4.3 RAM-Speicher	166
4.3.1 Statische Schreib-/Lesespeicher mit wahlfreiem Zugriff	166
4.3.2 Dynamische Speicher	169
4.4 Der Assoziativspeicher CAM	172
4.4.1 Kettenassoziation	172
4.4.2 Assoziativspeicher-Organisation	173
4.4.3 Schaltung eines Assoziativspeichers	174
4.5 Pufferspeicher	176
4.5.1 FIFO-Speicher	176
4.5.2 Stack-Speicher	178
4.6 Ladungstransportspeicher	179
4.6.1 CCD-Speicher	179
4.6.2 CCD-Bild-Sensoren	181
4.7 PLA-Speicher	183
4.7.1 PAL-Speicher	185
4.8 Speicher-IC-Tabelle	186
5 Entwurf von Schaltketten	190
5.1 Grundeinheit eines Schaltwerks	190
5.1.1 Zustandsdiagramm eines Schaltwerks	191
5.1.2 Ablaufdiagramm	192
5.2 Zahlendarstellungen	193
5.2.1 Dualcode modulo 2^n	193
5.2.2 Darstellung ganzer Zahlen nach Betrag und Vorzeichen	194
5.2.3 Darstellung ganzer Zahlen im Zweier-Komplement	195
5.2.4 Darstellung ganzer Zahlen im Einer-Komplement	196
5.2.5 Darstellung ganzer Zahlen im Offset-Dualcode	196
5.2.6 Darstellung ganzer Zahlen im Gray Code	197
5.2.7 Darstellung ganzer Zahlen im BCD-Code	197
5.2.8 Hexadezimal- und Oktalzahlen	198
5.2.9 Umwandlungen der Zahlendarstellungen	199
5.2.10 Kommadarstellung rationaler Zahlen	201

- 5.3 Addierer 203
 - 5.3.1 Ein-bit-Volladdierer 203
 - 5.3.2 n-Bit-Carry-Ripple-Adder (CRA) 204
 - 5.3.3 Carry Look Ahead Addierer (CLA) 205
 - 5.3.4 Zweistufiger Carry-Look-Ahead-Addierer 206
 - 5.3.5 Carry-Save-Addierer 207
 - 5.3.6 Speichernder Stufen-Addierer 209

- 5.4 Addierer-Schaltungen 211
 - 5.4.1 Subtrahierer 211
 - 5.4.2 Erweiterungen der Wortbreite 213
 - 5.4.3 Akkumulator 214
 - 5.4.4 Multiplizierer 215
 - 5.4.5 Dividierer 219
 - 5.4.6 Vergleich von Hardwareaufwand mit Verarbeitungszeit . . 223

- 5.5 Arithmetisch-Logische Einheit (ALU) 225
 - 5.5.1 Steuerung der Booleschen Operationen in der ALU . . . 225
 - 5.5.2 Steuerung von arithmetischen Operationen in der ALU . 226
 - 5.5.3 Register-ALU 228

- 5.6 Ausblick: Entwurf integrierter Systeme 230
 - 5.6.1 Systementwicklungsablauf 230
 - 5.6.2 Gate Array Entwicklung 234
 - 5.6.3 Simulations- und Entwurfshierarchien 237