

# Inhaltsverzeichnis

Vorwort . . . . .	5
Verzeichnis der verwendeten Abkürzungen . . . . .	15
1 Grundlagen und Entwicklung der elektrischen Meß- und Prüftechnik . . .	19
1.1 Prüfen – ein interaktiver Prozeß zwischen Mensch und Umwelt . . .	19
1.2 Die Entwicklung der elektrischen Meß- und Prüftechnik . . . . .	23
1.2.1 Das internationale Einheitensystem (SI-System) . . . . .	23
1.2.2 Die prinzipiellen Verfahren der elektrischen Meßtechnik . . .	24
1.2.2.1 Meßgeräte nach dem Auslenkungsverfahren . . . . .	24
1.2.2.2 Meßgeräte nach dem Abgleichverfahren . . . . .	24
1.2.3 Meß- und Stimuligeräte in der elektronischen Prüftechnik . . .	26
1.2.3.1 Digitale Meßgeräte . . . . .	26
1.2.3.2 Prozeßrechner als Meßgeräte . . . . .	27
1.2.3.3 Stimuligeräte der Prüftechnik . . . . .	29
1.3 Die Verknüpfung von Prüf- und Prozeßtechnik – automatische Testgeräte (ATEs) . . . . .	30
1.3.1 Informationsverarbeitung in einem Prüfprozeß . . . . .	30
1.3.1.1 Der formale Ablauf des Prüfprozesses . . . . .	30
1.3.2 Der Einsatz von Prozeßrechnern in der Prüftechnik . . . . .	31
1.3.3 Standardisierte Prozeß-Schnittstellen . . . . .	33
1.3.4 Software für automatische Prüfgeräte . . . . .	34
1.3.4.1 Maschinennahe Programmierung . . . . .	34
1.3.4.2 Höhere Programmiersprachen . . . . .	35
2 Die technische und wirtschaftliche Bedeutung der Prüfbarkeit für den Prüfprozeß . . . . .	37
2.1 Die Zugänglichkeit von Schaltungen für die Prüfung . . . . .	37
2.1.1 Passive Verfahren . . . . .	37
2.1.2 Aktive Verfahren . . . . .	39
2.2 Die Adaption von Prüflingen an automatische Testgeräte . . . . .	40
2.2.1 In-Circuit-Test und Funktionstest . . . . .	40
2.2.2 Die prüftechnische Problematik fehlerkompensierender Schaltungen . . . . .	42
2.2.3 <i>Bildverarbeitende</i> Prüfmethode n . . . . .	43
2.3 Wirtschaftliche Aspekte der Prüftechnik . . . . .	44
2.3.1 Was kostet die automatische Prüftechnik? . . . . .	44
2.3.2 Die Bedeutung der Prüfbarkeit für die Lebenswegkosten elektronischer Produkte . . . . .	47
2.3.3 Kostenminimierung und Schonung der Ressourcen . . . . .	50

3	Fehlerarten, Fehlerursachen und Fehlerhäufigkeiten . . . . .	51
3.1	Zuverlässigkeitsbetrachtungen . . . . .	51
3.1.1	Ausfallrate und MTBF . . . . .	51
3.1.1.1	Die mittlere Zeit zwischen zwei Ausfällen (MTBF) . . . . .	51
3.1.1.2	Die Ausfallrate . . . . .	52
3.1.2	Der Einfluß von MTBF und Ausfallrate . . . . .	53
3.1.3	Die Verfügbarkeit . . . . .	54
3.2	Fehlerarten und Fehlerursachen in digitalen Schaltungen und im funktionellen Betrieb (funktionelle Fehler) . . . . .	55
3.2.1	Statische Fehler (Stuck-At-Fehler) . . . . .	55
3.2.1.1	Leiterbahnunterbrechungen (Stuck-At-Open) . . . . .	55
3.2.1.2	Kurzschlüsse (Stuck-At-Short) . . . . .	55
3.2.1.3	Stuck-At-High-/Stuck-At-Low-Fehler . . . . .	55
3.2.2	Dynamische Fehler . . . . .	56
3.2.2.1	Versorgungsfehler . . . . .	56
3.2.2.2	Timing-Fehler . . . . .	57
3.2.2.3	Parametrische Fehler . . . . .	57
3.2.3	Intermittierende Fehler . . . . .	57
3.2.3.1	Leiterbahnunterbrechungen . . . . .	57
3.2.3.2	Kurzschlüsse . . . . .	58
3.2.3.3	Grenzwertüberschreitungen . . . . .	58
3.2.3.4	Schlechte Lötstellen . . . . .	58
3.2.3.5	Thermische und elektromagnetische Einflüsse . . . . .	58
3.3	Fehlerarten und Fehlerursachen in digitalen Schaltungen in der Fertigung . . . . .	59
3.3.1	Bearbeitungsfehler . . . . .	59
3.3.2	Bestückungsfehler . . . . .	59
3.4	Fehlerhäufigkeit . . . . .	59
4	Die Aufteilung elektronischer Produkte (Partitionierung) . . . . .	63
4.1	Aufteilung auf Geräteebene . . . . .	64
4.1.1	Die funktionelle Aufteilung auf Geräteebene . . . . .	64
4.1.2	Die physikalische Aufteilung . . . . .	67
4.2	Aufteilung auf Baugruppenebene . . . . .	67
4.2.1	Die funktionelle Aufteilung auf Baugruppenebene . . . . .	68
4.2.2	Die physikalische Aufteilung . . . . .	68
4.2.3	Aufteilung nach Logikfamilien (Technologien) . . . . .	69
4.2.4	Aufteilung durch Separation der Versorgungsspannungen . . . . .	71
4.3	Die funktionelle Modularität und ihr Einfluß auf die Austauschbarkeit . . . . .	72

---

5	Testpunkte . . . . .	77
5.1	Passive Testpunkte (Measurements) . . . . .	78
5.2	Aktive Testpunkte (Stimuli) . . . . .	78
5.3	Aktive und passive Testpunkte . . . . .	79
5.4	Charakteristische Eigenschaften von Testpunkten . . . . .	80
5.5	Die Auswahl von Testpunkten . . . . .	81
5.6	Multiplex-Verfahren . . . . .	83
5.7	Sicherheitsbetrachtungen an Testpunkten . . . . .	88
5.7.1	Anlagenschutz . . . . .	88
5.7.2	Arbeitsschutz . . . . .	88
5.8	Mechanischer Aufbau von Teststeckern . . . . .	88
5.8.1	Gerätestecker . . . . .	88
5.8.2	Stecker an Baugruppen/Modulen . . . . .	90
5.9	Praktische Beispiele für die Einführung aktiver und passiver Testpunkte in der Digitaltechnik . . . . .	91
5.9.1	Die praktische Anwendung passiver Testpunkte . . . . .	92
5.9.1.1	Passive Testpunkte zur Beobachtung funktioneller Blöcke . . . . .	92
5.9.1.2	Passive Testpunkte an <i>Fan-In</i> - und <i>Fan-Out</i> - Knoten . . . . .	93
5.9.1.3	Passive Testpunkte in hybriden Schaltungen . . . . .	93
5.9.1.4	Passive Testpunkte in Redundanz-Schaltungen . . . . .	94
5.9.2	Die praktische Realisierung aktiver Testpunkte . . . . .	95
5.9.2.1	Aktive Testpunkte in Rückkopplungsschleifen . . . . .	95
5.9.2.2	Aktive Testpunkte zur Initialisierung von Schaltungen . . . . .	100
5.9.2.3	Aktive Testpunkte und verdrahtete Logik . . . . .	103
5.9.2.4	Aktive Testpunkte zur Steuerung von Takt- schaltungen . . . . .	105
5.9.2.5	Aktive Testpunkte in asynchronen Schaltungen . . . . .	107
5.9.2.6	Aktive Testpunkte in langen sequentiellen Schaltungen . . . . .	110
6	Strukturierte Verfahren (Structured Design) . . . . .	113
6.1	Scan-Path-Methode für synchrone Schaltungen . . . . .	113
6.2	Schieberegister-Methode für asynchrone Schaltungen . . . . .	116
6.3	Level Sensitive Scan Design (LSSD-Methode) . . . . .	118
6.4	Random-Access-Scan-Logik . . . . .	122

6.5	Scan-Set-Logik . . . . .	123
6.6	Vor- und Nachteile der Scan-Techniken . . . . .	124
6.6.1	Nachteile des Scan-Designs . . . . .	124
6.6.2	Vorteile des Scan-Designs . . . . .	124
7	Selbsttesteinrichtungen (Built-In-Test) . . . . .	127
7.1	Signaturanalyse . . . . .	128
7.1.1	Allgemeine Beschreibung der Signaturanalyse . . . . .	128
7.1.2	Arbeitsweise . . . . .	128
7.1.3	Zeitlicher Ablauf . . . . .	130
7.1.4	Darstellungsweise . . . . .	131
7.1.5	Parallele Signaturanalyse . . . . .	132
7.1.6	Signalbetrachtungen . . . . .	133
7.1.7	Vor- und Nachteile der Signaturanalyse . . . . .	134
7.2	BILBO (Built In Logic Block Observation) . . . . .	135
7.3	Das TURINO-Verfahren . . . . .	138
7.4	Der Standard Testability Bus . . . . .	140
7.4.1	Einleitung . . . . .	140
7.4.2	Grundlagen . . . . .	140
7.4.3	Die Anforderungen an einen standardisierten Testability Bus . . . . .	141
7.4.4	Funktionelle und physikalische Beschreibung . . . . .	142
7.4.5	Anwendungsbeispiele für einen normierten Testability Bus . . . . .	144
7.4.6	Zusammenfassung . . . . .	149
8	Die Testproblematik komplexer LSI- und VLSI-Schaltkreise . . . . .	151
8.1	Allgemeine Betrachtungen . . . . .	151
8.2	Historischer und technischer Hintergrund . . . . .	152
8.3	Hochintegrierte Schaltkreise – Vor- und Nachteile für die Prüftechnik . . . . .	154
8.3.1	Probleme beim Testen von LSIC- und VLSIC-bestückten Baugruppen . . . . .	157
8.3.2	Vorteile beim Testen von LSIC- und VLSIC-bestückten Baugruppen . . . . .	158
8.3.2.1	Residente Selbsttestmöglichkeit durch BIT . . . . .	158
8.3.2.2	Die Segmentierung von LSI- und VLSI-Baugruppen . . . . .	159
8.4	Testpunkte an LSIC- und VLSIC-bestückten Baugruppen . . . . .	159
8.4.1	Einführung aktiver Testpunkte zur Steuerung von LSI- und VLSI-Schaltkreisen . . . . .	160
8.4.1.1	Die Pfadverfolgung . . . . .	160

8.4.1.2	Taktschaltungen . . . . .	162
8.4.1.3	Lange sequentielle Schaltungen . . . . .	163
8.4.1.4	Schaltungen mit Rückkopplungscharakter . . . . .	164
8.4.1.5	Die Initialisierung von LSI- und VLSI-Schaltkreisen . . . . .	165
8.4.1.6	Testpunkte an Tastaturen, Schaltern und Anzeigeelementen . . . . .	168
8.4.1.7	Testpunkte an Busstrukturen . . . . .	169
8.4.2	Einführung passiver Testpunkte zur Beobachtung von LSI- und VLSI-Schaltkreisen . . . . .	170
8.4.2.1	Passive Testpunkte in redundanten Schaltungen . . . . .	170
8.4.2.2	Das Scan-Verfahren und seine Anwendungen in hochintegrierten Bauelementen . . . . .	173
8.5	Software-Initialisierung . . . . .	174
9	Entwicklungsrichtlinien für analoge Schaltungen . . . . .	177
9.1	Entwicklungsrichtlinien für niederfrequente analoge Schaltungen . . . . .	177
9.2	Entwicklungsrichtlinien für hochfrequente analoge Schaltungen . . . . .	178
10	„Design For Testability“ für hybride Bausteine . . . . .	181
10.1	Allgemeine Betrachtungen . . . . .	181
10.2	Die Vorteile der Hybridtechnik . . . . .	181
10.3	Die Anwendungsbereiche hybrider Schaltkreise . . . . .	181
10.4	BIT-Techniken für hybride Bausteine . . . . .	182
10.5	Verbesserung der Prüfbarkeit in hybriden Bausteinen . . . . .	182
10.5.1	<i>Design For Testability</i> für die digitalen Anteile hybrider Schaltungen . . . . .	183
10.5.2	<i>Design For Testability</i> für die analogen Anteile hybrider Schaltungen . . . . .	183
11	Die Programmerstellung für digitale Prüflinge . . . . .	185
11.1	Allgemeine Überlegungen . . . . .	185
11.2	Simulationsverfahren . . . . .	185
11.3	Anwendung der Simulation . . . . .	188
11.3.1	Simulation des Verhaltens fehlerfreier Logik (Logiksimulation) . . . . .	188
11.3.2	Simulation des Verhaltens fehlerbehafteter Logik (Fehlersimulation) . . . . .	188

11.3.2.1	Fehlermodelle . . . . .	188
11.3.2.2	Fehlersimulation als Maßstab für die Prüfbarkeit	189
11.3.2.3	Konventionelle Methoden der Fehlersimulation	190
11.3.2.4	Die Verifizierung der Prüfprogramme . . . . .	192
11.4	Die automatische Testprogramm-Erstellung . . . . .	192
11.4.1	Allgemeine Betrachtungen . . . . .	192
11.4.2	Die Prüfbarkeitsanalyse digitaler Schaltungen . . . . .	194
11.4.3	Test Screening . . . . .	195
11.4.3.1	Kontrollierbarkeit . . . . .	196
11.4.3.2	Beobachtbarkeit . . . . .	196
11.4.3.3	Sequentialität . . . . .	196
11.5	Weitere Vorteile der Prüfbarkeitsanalyse . . . . .	197
11.5.1	Die automatische Testmustererzeugung . . . . .	197
11.5.1.1	Schaltkreismodellierung und Simulation . . . . .	197
11.5.1.2	Die Komplexität digitaler Schaltungen . . . . .	199
11.5.1.3	Die Erzeugung von Testvektoren . . . . .	199
11.5.1.4	Die Erstellung von Fehlerkatalogen . . . . .	201
11.5.2	Die rechnergestützte digitale Testmustererzeugung . . . . .	201
11.5.3	Der Einsatz spezieller Testtechniken . . . . .	202
12	CAE, CAM, CAD, CAT und CAR als Verbund . . . . .	203
12.1	Der rechnergestützte Entwurfs- und Fertigungsprozeß . . . . .	203
12.1.1	Begriffsklärung . . . . .	203
12.1.2	Aufbau eines CAE-Arbeitsplatzes . . . . .	206
12.1.3	Methoden und CAE-Betriebsmittel zur Entwicklung elektronischer Komponenten, Baugruppen und Systeme . . . . .	208
12.1.4	Schnittstellen für eine <i>offene</i> Systemstruktur . . . . .	213
12.2	Netzstrukturen . . . . .	215
12.2.1	Standards, Kommunikationsschnittstellen und Protokolle . . . . .	216
12.2.1.1	Standards . . . . .	216
12.2.1.2	Kommunikationsmodelle . . . . .	216
12.2.1.3	Schnittstellen . . . . .	223
12.2.1.4	Protokolle . . . . .	224
12.2.2	Lokale Netze . . . . .	224
12.2.3	Digitale Nebenstellenanlagen . . . . .	227
12.2.4	Gegenüberstellung von LANs und NStAnl . . . . .	229
12.3	CAR-Strukturen . . . . .	230
12.3.1	Betrachtungen des CAR-Prozesses . . . . .	231
12.3.2	Verzahnung von Entwicklungs- und Prüfprozeß . . . . .	233
12.3.2.1	Logik- und Fehlersimulation . . . . .	237

12.3.2.2	Einsatz der Simulationsergebnisse für praktische Tests . . . . .	237
12.3.2.3	Austausch von Design-Daten zwischen CAE- und ATE-Bereichen . . . . .	239
12.3.2.4	Netzstrukturen . . . . .	240
13	Design For Testability – Ein notwendiges Bindeglied zwischen Entwurf und Test . . . . .	241
13.1	Allgemeine Betrachtungen . . . . .	241
13.2	Die momentane Situation in der Prüftechnik . . . . .	243
13.3	Fertigung und Test – zunehmend untrennbar . . . . .	244
13.4	Die Integration von CAD und CAT . . . . .	246
13.4.1	Nutzung eines modularen Konzeptes mit standardisierten Arbeitsplatzrechnern . . . . .	248
13.4.2	Nutzung der Vernetzbarkeit der CAD- und CAT-Systeme . . . . .	248
13.5	Die Zukunft . . . . .	249
Anhang 1		
	Maßnahmen zur Verbesserung der Prüfbarkeit elektronischer Schaltungen (Checkliste) . . . . .	251
	Mechanische Schaltungsauslegung . . . . .	251
	Aufteilung von Schaltungen . . . . .	252
	Teststeuerung (Aktive Testpunkte) . . . . .	253
	Testbeobachtung (Passive Testpunkte) . . . . .	254
	Auswahl der Bauelemente . . . . .	255
	Analoge Schaltkreise . . . . .	256
	Digitale Schaltkreise . . . . .	257
	Selbstprüffähigkeit (BIT) . . . . .	259
	Wartungsebenen . . . . .	261
	Testdaten . . . . .	262
Anhang 2		
	Die wichtigsten Schaltkreise und ihre Prüfpunkte . . . . .	264
	Taktgenerator . . . . .	264
	Monostabile Oszillatoren . . . . .	264
	Busstrukturen . . . . .	264
	Rückkopplungen . . . . .	265
	Kombinatorische Logikschaltungen . . . . .	265

Flip-Flops . . . . .	265
Datenspeicher . . . . .	265
Schieberegister . . . . .	266
Zählerketten . . . . .	266
Read Only Memory . . . . .	266
Random Access Memory . . . . .	266
Mikroprozessoren . . . . .	267
Schnittstellensteuerung . . . . .	267
Mikrocomputer . . . . .	267
Digital/Analog-Konverter (DAC) . . . . .	267
Analog/Digital-Konverter (ADC) . . . . .	267
Analoger Schaltkreis . . . . .	268
Spannungsregler . . . . .	268
Netzteile . . . . .	268
<b>Anhang 3</b>	
1. Charakteristische Vor- und Nachteile verschiedener Bauteil- Technologien . . . . .	269
2. Schaltzeichen für Verknüpfungsglieder und ihre algebraische Darstellung . . . . .	269
Literaturverzeichnis . . . . .	270
Stichwortverzeichnis . . . . .	279