

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung (J.Eggers)</b>	<b>1</b>
<b>2</b>	<b>Design Flow (J.Eggers)</b>	<b>5</b>
<b>3</b>	<b>Systementwurf (K.Johannes)</b>	<b>8</b>
3.1	Analyse des Systems . . . . .	11
3.2	Konzeptfindung . . . . .	18
3.3	Systementwicklung . . . . .	22
3.4	Revision . . . . .	25
3.5	Zusammenfassung . . . . .	25
<b>4</b>	<b>Chip Design System (CDS)</b>	<b>20</b>
4.1	Chip Design Flow (J.Eggers/H.Grimm) . . . . .	26
4.2	Floorplanning und Layout-Entwurf (H.Brechtel/D.Hagedorn) . . . . .	28
4.2.1	Entwicklung der Design-Methoden . . . . .	28
4.2.2	Manuelle Design-Methode . . . . .	29
4.2.3	Rechnergestütztes Design-Verfahren ASC . . . . .	37
4.3	Logiksimulation (W.Anheier/A.Otterbach) . . . . .	42
4.3.1	Anwendung der Simulation im IC-Entwurf . . . . .	42
4.3.2	Modellbildung . . . . .	48
4.3.3	Simulation . . . . .	59
4.3.4	Auswertung der Ergebnisse . . . . .	61
4.3.5	Benutzeroberfläche . . . . .	62
4.4	Testen (F.Hapke/M.Stampe) . . . . .	66
4.4.1	Die Chip Hardware aus der Testperspektive . . . . .	66
4.4.2	Ablauf der Test-Programm-Erzeugung . . . . .	71
4.4.3	Die Softwareprogramme im CDS . . . . .	73
4.4.4	Das User-Interface im CDS . . . . .	79
<b>5</b>	<b>Block Design System (BDS)</b>	<b>80</b>
5.1	Block Design Flow (H.Grimm) . . . . .	80
5.1.1	Design Flow für Zellen konstanter Höhe . . . . .	80
5.1.2	Design Flow für Blöcke beliebiger fester Größe . . . . .	82
5.1.3	Design Flow parametrisierbarer Blöcke . . . . .	84

5.2	Aufbau einer Bibliothek (H.Grimm)	87
5.2.1	Zellen konstanter Höhe	87
5.2.2	Blöcke beliebiger fester Größe	87
5.2.3	Parametrisierbare Blöcke	88
5.3	Design Rule Check (C.Grzyb)	93
5.3.1	Generierung der Checklayer	93
5.3.2	Einfache Dimensionschecks	96
5.3.3	Checks für komplexe Design Rules	103
5.3.4	Fehlerreport	106
5.3.5	Statistische Daten	108
5.4	Layout Versus Schematic Check (C.Grzyb)	109
5.4.1	Behandlung des Schaltplanteils	109
5.4.2	Behandlung des Layoutteils	112
5.4.3	Durchführung des Vergleichs	114
5.4.4	Fehlerreport	114
5.4.5	Statistische Daten	117
5.5	Layout-Extraktion (H.Okel)	117
5.5.1	Begriffsdefinition und Überblick	117
5.5.2	Für Layout-Extraktion erforderliche Input-Daten	120
5.5.3	Anwendungsmöglichkeiten eines Layout-Extraktors	134
5.5.4	Standard Technologie-Files; Schlußbemerkungen	137
5.6	Circuit-Simulation (W.Anheier/H.Höpken/R.Laur)	139
5.6.1	Einleitung	139
5.6.2	Das Schaltungssimulationsprogramm ESPICE	140
5.6.3	Ein-/Ausgabe-Simulationsumgebung (ASC-BDS)	163
5.6.4	Neue Verfahren der Schaltungssimulation	173
<b>6</b>	<b>Layoutverarbeitung zur Maskenherstellung (T.Fischer/J.Käker)</b>	<b>175</b>
6.1	Einleitung	175
6.2	Ablauf der Bearbeitung	176
6.3	Die Bearbeitungsprozesse	178
6.3.1	Darstellung geometrischer Layouts	178
6.3.2	Vervollständigung des Layouts mit Sägerand und Meßzellen	180
6.3.3	Von Designebenen zu Maskenebenen	180
6.3.4	Zerlegen der geometrischen Maskendaten in Grundfiguren	183
<b>7</b>	<b>Masken (W.Dörner)</b>	<b>189</b>
7.1	Voraussetzungen	191
7.1.1	Maskenmaterial	191
7.1.2	Reinraum und Medien	192
7.1.3	Aufbereiten der Daten	193
7.1.4	Auftragsbearbeitung und -steuerung	194
7.1.5	Qualitätssicherung	195

7.2	Strukturierung	196
7.2.1	Elektronenstrahlolithographie	196
7.2.2	Einspeisen der Steuerdaten und Job Preparation	200
7.2.3	Belichten und Prozessieren	203
7.3	Strippen und Reinigen	205
7.4	Maskeninspektion und -reparatur	207
7.4.1	Vorkontrolle	207
7.4.2	Linienbreiten	207
7.4.3	Passung	208
7.4.4	Defekte	209
7.4.5	Reparatur	211
7.5	Finishing	212
7.5.1	Endreinigung	212
7.5.2	Pellicles	213
7.6	Trends	215
7.6.1	Lithographieverfahren	215
7.6.2	Inspektion und Reparatur	216
7.6.3	Materialien und Prozesse	217
<b>8</b>	<b>Verifikation und Charakterisierung des Produktes (M.Plidschun)</b>	<b>219</b>
8.1	Verifikation	220
8.1.1	Nachweis der Funktionalität	220
8.1.2	Testschaltung	224
8.2	Charakterisierung	226
8.2.1	Funktionsbereich	226
8.2.2	DC-Parameter	227
8.2.3	AC-Parameter	228
8.2.4	Latch-Up-Untersuchungen	229
8.2.5	ESD (Electro Static Discharge) -Untersuchungen	231
<b>9</b>	<b>Physikalische Analyseverfahren (H.P.Tödter)</b>	<b>237</b>
9.1	Verlauf einer Analyse	238
9.1.1	Analyse auf dem Wafer	238
9.1.2	Analyse am montierten IC	239
9.2	Das Lichtmikroskop	240
9.2.1	Lichtoptische Instrumente	241
9.2.2	Der Spitzennadelmeßplatz	242
9.2.3	Liquid-Crystal-Verfahren	243
9.3	Das Rasterelektronenmikroskop	244
9.3.1	Grundlagen, Aufbau und Funktionsweise	244
9.3.2	Der E-Beam-Tester	248
9.4	Das Laser-Scan-Mikroskop	253
9.4.1	Aufbau und Eigenschaften	253
9.4.2	Anwendungen	253

<b>10 Design Information Management (M.Dreifke)</b>	<b>256</b>
10.1 Die Aufgaben . . . . .	256
10.2 Begriffsklärung . . . . .	257
10.3 Die Hauptprobleme . . . . .	260
10.4 Mögliche Konzepte . . . . .	262
10.5 Die Architektur . . . . .	263
<b>Literaturverzeichnis . . . . .</b>	<b>270</b>
<b>Glossar . . . . .</b>	<b>276</b>
<b>Sachwortverzeichnis . . . . .</b>	<b>283</b>