

Inhaltsverzeichnis

Vorwort	V
1 PLD-Programmierbarkeit	1
2 PLD-Darstellungsarten	3
3 PLD-Produzenten	5
4 Firmenspezifische PLD-Bezeichnungen	7
5 Bezeichnung der Signalausgabe-Konfigurationen	18
6 Vergleichstabellen	21

Teil 1 PLD mit PAL-Architektur

7 PLD mit PAL-Architekturen	29
7.1 PLD mit kombinatorischer Logik und aktivem Low-Ausgang	29
* PAL 8L14 Logikdiagramm	31
* PAL 6L16 Logikdiagramm	32
* PAL 10L8 Logikdiagramm	33
* PAL 12L6 Logikdiagramm	34
* PAL 12L10 Logikdiagramm	35
* PAL 14L4 Logikdiagramm	36
* PAL 14L8 Logikdiagramm	37
* PAL 16L2 Logikdiagramm	38
* PAL 16L6 Logikdiagramm	39
* PAL 18L4 Logikdiagramm	40
* PAL 20L2 Logikdiagramm	41
7.2 PLD mit kombinatorischer Logik und aktivem High-Ausgang	42
* PAL 10H8 Logikdiagramm	43
* PAL 12H6 Logikdiagramm	44
* PAL 14H4 Logikdiagramm	45
* PAL 16H2 Logikdiagramm	46

7.3	PLD mit kombinatorischer Logik und komplementärem Ausgang	47
	* PAL 16C1 Logikdiagramm	48
	* PAL 20C1 Logikdiagramm	49
	* PAL 12C4 Logikdiagramm	50
7.4	PLD mit kombinatorischer Logik und programmierbarer Ausgangspolarität	51
	* FPGA 82S162 Logikdiagramm	52
	* FPGA 82S163 Logikdiagramm	53
	* FPGA 82S103 Logikdiagramm	54
	* PAL10 16P4 und PAL100 16P4 - Logikdiagramm	55
7.5	PLD mit kombinatorischer Logik und Rückkopplung über Three-State Ausgang	56
	* PAL 16L8 Logikdiagramm	59
	* PAL 20L8 Logikdiagramm	60
	* PAL 20L10 Logikdiagramm	61
	* TIB PAD 16N 7C Logikdiagramm	62
	* TIB PAD 18N 6C Logikdiagramm	63
7.6	PLD mit programmierbarer Ausgangspolarität und Three-State Ausgängen mit Rückkopplung in die UND-Matrix	65
	* PAL 16P8 und HPL-16LC8 Logikdiagramm	67
	* PAL 18P8 Logikdiagramm	68
	* PAL 20P8 Logikdiagramm	69
	* PAL 22P10 Logikdiagramm	70
	* TIEPAL 10H 16P8 und TIEPAL100 16P8 Logikdiagramm	71
7.7	PLD mit Register-Ausgängen	72
	* PAL und PALC 16R4 Logikdiagramm	79
	* PAL und PALC 16R6 Logikdiagramm	80
	* PAL und PALC 16R8 Logikdiagramm	81
	* PAL und PALC 20R4 Logikdiagramm	82
	* PAL und PALC 20R6 Logikdiagramm	83
	* PAL und PALC 20R8 Logikdiagramm	84
7.8	PLD mit EXOR-Funktion vor den Register-Ausgängen	85
	* PAL 20X4 Logikdiagramm	87
	* PAL 20X8 Logikdiagramm	88
	* PAL 20X10 Logikdiagramm	89

7.9	PLD mit Register-Ausgängen und programmierbarer Ausgangs- polarität	90
	* PAL 16R4 Logikdiagramm	92
	* PAL 16R6 Logikdiagramm	93
	* PAL 16R8 Logikdiagramm	94
	* PAL 20RP4 Logikdiagramm	95
	* PAL 20RP6 Logikdiagramm	96
	* PAL 20RP8 Logikdiagramm	97
	* PAL10 16RC4 und PAL100 16RC4 Logikdiagramm	98
	* PAL10 16RC8 und PAL100 16RC8 Logikdiagramm	99
	* PAL10 16RD4 und PAL100 16RD4 Logikdiagramm	100
	* PAL10 16RD8 und PAL100 16RD8 Logikdiagramm	101
	* PAL10 16LD4 und PAL100 16LD4 Logikdiagramm	102
	* PAL10 16LD8 und PAL100 16LD8 Logikdiagramm	103
	* PAL10 16RM4 und PAL100 16RM4 Logikdiagramm	104
	* PAL10 16LM4 und PAL100 16LM4 Logikdiagramm	105
7.10	PLD mit Produktterm-Steuerung	106
	* FPLA 82S100 und 82S101 Logikdiagramm	107
	* FPLA 82S161 Logikdiagramm	108
	* FPLA 839 mit Three-State Ausgang und 840 mit OC	109
7.11	PLD mit asynchronen Registerausgängen	110
	* PAL 16RA8 Logikdiagramm	112
	* PAL 20RA10 Logikdiagramm	114
7.12	PLD mit Registereingängen	116
	* PALR 19L8 Logikdiagramm	117
	* PALR 19R4 Logikdiagramm	118
	* PALR 19R6 Logikdiagramm	119
	* PALR 19R8 Logikdiagramm	120
	* PALT 19L8 Logikdiagramm	121
	* PALT 19R4 Logikdiagramm	122
	* PALT 19R6 Logikdiagramm	123
	* PALT 19R8 Logikdiagramm	124

Teil 2 PLD mit programmierbaren Makrozellen und Logik-Sequenzern

8	PLD mit programmierbaren Makrozellen und Logik-Sequenzern	125
8.1	Bauelementeüberblick	125
8.2	Architekturen mit Makrozellen	131
	* TICPAL 18V8 Logikdiagramm	132
	* PLD C 18G8 Logikdiagramm	134
	* PLD C 20G10 Logikdiagramm	136
	* PAL 22V10 und 22VP10 Logikdiagramm	138
	* EPLD PLX 448 und 464	142
	* EPLD CY7C332	145
	* PAL 32VX10	149
	* PAL 23S8	151
	* EPLD CY7C331.	155
	* Programmable Synchronous State Machine EPLD CY7C330	160
	* PAL 20EV8 und 20EG8	164
	* EPLD 5C031 und 5C032	166
	* EPLD 5C060 und 5C090	168
	* EPLD EP310	173
	* EPLD EP320	175
	* EPLD EP512	177
	* EPLD EP600 und EP610	180
	* EPLD EP900 und EP910	183
	* EPLD EP1800 und EP1810	186
8.3	Multiple Array Matrix (MAX)-Familie.	189
8.4	Programmierbare Logik-Sequenzern.	197
	* FPLS 82S153 Logikdiagramm	199
	* FPLA PLUS173 Logikdiagramm	200
	* FPLS 82S155 Logikdiagramm	201
	* FPLS 82S157 Logikdiagramm	202
	* FPLS 82S159 Logikdiagramm	203
	* FPLS TIBPLS 506 Logikdiagramm	204
	* Programmierbarer Sequenz-Generator TIB PSG 507	206
	* FPLS TIB 82S167 Logikdiagramm.	208
	* FPLS TIB 82S105 Logikdiagramm.	209
	* Programmierbarer Logik-Sequenzern PLS 168	210
	* Universal Programmierbarer Logik-Sequenzern PLS 30S16	211
	* ATV 750 Logikdiagramm	215

* EPLD AT V2500	217
* Programmable Macro Logic PLHS501	220
* Programmable Macro Logic PLHS502	223
* Programmable Macro Logic PML2552	225

Teil 3 Reprogrammierbare PLD

9	Reprogrammierbare PLD	227
9.1	Bauelementeüberblick	227
9.2	Generic Array Logic (GAL)	231
	* GAL 16V8 Logikdiagramm	231
	* GAL 20V8 Logikdiagramm	232
	* GAL 22V10 Logikdiagramm	238
	* PALCE 24V10	240
	* GAL 39V18 mit FPLA-Architektur	244
	* isp GAL 16Z8	248
	* PALCE 26V12	253
	* AmPALC 29MA16	258
	* AmPALC 29M16	264
9.3	Programmable Electrically Erasable PLD (PEEL)	270
	* PEEL 22CV10	270
	* PEEL 20CG10	273
	* PEEL 18CV8	276
	* PEEL 153 mit FPLA-Architektur	279
	* PEEL 173 mit FPLA-Architektur	280
	* PEEL 253 mit FPLA-Architektur	281
	* PEEL 273 mit FPLA-Architektur	282
9.4	Electrically Erasable PLD	283
	* ERASIC XL78C800	283
	* PAL CE 610	287
9.5	PLD mit komplexer Zellen-Struktur	290
9.5.1	Bauelementeüberblick	290
9.5.2	Logic Cell Array (LCA)	291
9.5.3	PEEL Array s	296
9.5.4	Abänderbare Gatter-Anordnung (AGA)	298