

Inhaltsverzeichnis

Vorwort	10
1. Einführung in das Testen	12
1.1 Was heißt Testen?	13
1.2 Testen im Lebenslauf eines digitalen Bausteins	16
1.2.1 Spezifikationsphase	17
1.2.2 Entwurfsphase	17
1.2.3 Fertigungsphase	19
1.2.4 Betriebsphase	20
1.2.5 Ausmusterungsphase	21
1.3 Vorbereitung und Durchführung des Fertigungstests	22
1.3.1 Testarten	22
1.3.1.1 Statischer Test	23
1.3.1.2 Dynamischer Test	23
1.3.1.3 Parametertest	27
1.3.2 Aufgaben der Testvorbereitung im Überblick	28
1.3.3 Testmusterermittlung	29
1.3.3.1 Exhaustive Testmuster	29
1.3.3.2 Funktionale Testmuster	30
1.3.3.3 Strukturelle Testmuster	31
1.3.3.4 Pseudorandom Testmuster	32
1.3.4 Bestimmung des Fehlererkennungsgrads	32
1.3.5 Testprogrammerstellung	34
1.3.6 Testdurchführung auf einem Testautomaten	34
1.4 Entwurf von Testarchitekturen	37
1.4.1 Modell einer Realisierungstechnik	38
1.4.1.1 Fertigungstechnik	39
1.4.1.2 Schaltungstechnik	40
1.4.1.3 Entwurfsmethodik	40
1.4.1.4 Zellenbibliothek	41

1.4.2	Modulare Testarchitekturen	44
1.4.2.1	Klassifizierung von Modulen aus der Sicht des Tests ...	44
1.4.2.2	Testvorbereitung pro Modul	46
1.4.2.3	Entwurfsstrategien für modulare Testarchitekturen ...	47
1.4.3	Bewertung von Testarchitekturen	48
1.4.3.1	Entwicklungstechnische Parameter und ihre Kosten ..	49
1.4.3.2	Fertigungstechnische Parameter und ihre Kosten	50
1.4.3.3	Vertriebliche Parameter und ihre Kosten	52
1.5	Literatur	54
2.	Grundlagen für Selbsttest-Architekturen	55
2.1	Selbsttest-Prinzip	56
2.2	Vorteile von Selbsttest-Funktionen	60
2.2.1	Vereinfachung der Testvorbereitung	60
2.2.2	Verbesserung der Testdurchführung	61
2.2.3	Verbesserung der Betriebssicherheit	62
2.3	Synchroner Schaltungsstil	63
2.4	Scan-Path	68
2.4.1	Scan-Path-Prinzip	68
2.4.2	Scan-Path-Zelle	71
2.4.3	Testablauf mit Scan-Path	72
2.4.4	Auswirkungen der Scan-Path-Architektur	73
2.5	Boundary-Scan	74
2.5.1	Boundary-Scan-Prinzip	74
2.5.2	Test-Access-Port	75
2.5.3	Boundary-Scan-Zelle	76
2.5.4	Testmodi des Boundary-Scan	77
2.5.5	Boundary-Scan-Architektur	80
2.5.6	Zustandsdiagramm des TAP-Controllers	83
2.5.7	Typischer Testablauf mit Boundary-Scan	85
2.6	Literatur	87
3.	Schaltungen für Selbsttest-Architekturen	91
3.1	Testmustergenerierung	92
3.1.1	Testmuster für Selbsttest-Verfahren	92
3.1.1.1	Deterministische Testmuster	93
3.1.1.2	Exhaustive Testmuster	94

3.1.1.3	Pseudorandom Testmuster	94
3.1.2	ROM als Testmuster-generator	97
3.1.3	Zähler	98
3.1.4	Linear rückgekoppelte Schieberegister	100
3.1.4.1	Einführung in die Theorie linear rückgekoppelter Schieberegister	101
3.1.4.2	Eigenschaften linear rückgekoppelter Schieberegister	107
3.1.4.3	Schaltungsformen linear rückgekoppelter Schiebe- register	109
3.1.4.4	Spezialfälle linear rückgekoppelter Schieberegister ...	112
3.1.5	Nichtlinear rückgekoppelte Schieberegister	116
3.1.6	Zellulare Automaten	117
3.2	Testantwortauswertung	120
3.2.1	Allgemeine Aspekte der Testantwortauswertung	120
3.2.2	Vergleicherschaltungen	122
3.2.2.1	Variablen-Vergleicher	122
3.2.2.2	Konstanten-Vergleicher	124
3.2.2.3	Mehrfach-Vergleicher	125
3.2.2.4	Sichere Vergleicher	126
3.2.3	Kompaktiererschaltungen	131
3.2.3.1	Allgemeine Aspekte der Kompaktierung	131
3.2.3.2	Paritätsbildung	136
3.2.3.3	Zählverfahren	137
3.2.3.4	Serielle Signaturanalyse	140
3.2.3.5	Parallele Signaturanalyse	147
3.2.4	Sonderfälle der Testantwortauswertung	151
3.3	Testmode-Konfigurierung	153
3.3.1	Transformation in den Testmode	153
3.3.2	Reduzierung der Testkomplexität	156
3.3.2.1	Schieberegister-Methode	157
3.3.2.2	Multiplexer-Methode	160
3.3.2.3	BILBO-Multiplexer-Methode	161
3.3.3	Koordination mehrerer selbsttestender Module	162
3.3.3.1	Dezentraler Selbsttest	163
3.3.3.2	Zentraler Selbsttest	164
3.3.3.3	BILBO-Architektur	166

3.4	Selbsttest-Steuerung	168
3.4.1	Steuerung für ein einzelnes Modul	168
3.4.2	Steuerung für mehrere Module	170
3.4.3	Architekturkonzepte für Selbsttest-Steuerungen	171
3.5	Konstruktionstabellen	172
3.6	Literatur	174
4.	Selbsttest-Architekturen ausgewählter Schaltungsblöcke	179
4.1	Kombinatorische Schaltungsblöcke	180
4.1.1	Exhaustiver Selbsttest	181
4.1.2	Pseudorandom Selbsttest	183
4.1.3	Pseudoexhaustiver Selbsttest	184
4.1.4	Sonderfälle	188
4.2	Sequentielle Schaltungsblöcke	192
4.2.1	Selbsttest auf der Basis des Scan-Path	193
4.2.2	Zirkularer-Selbsttest-Pfad	199
4.2.3	Bewertung der beiden Selbsttest-Architekturen	203
4.3	Regelmäßig strukturierte Schaltungsblöcke	206
4.3.1	Selbsttest-Verfahren für PLA	207
4.3.1.1	Fehlermodell für PLA	208
4.3.1.2	Testmustertypen für selbsttestende PLA	209
4.3.1.3	PLA-Selbsttest mit exhaustiven Testmustern	210
4.3.1.4	PLA-Selbsttest mit deterministischen Testmustern ...	212
4.3.1.5	Bewertung der beiden Selbsttest-Architekturen	216
4.3.2	Selbsttest-Verfahren für embedded RAM	217
4.3.2.1	Fehlermodell für statische, wortorganisierte RAM ...	218
4.3.2.2	Testmustertypen für embedded RAM	220
4.3.2.3	RAM-Selbsttest mit deterministischen Testmustern ..	221
4.3.2.4	RAM-Selbsttest mit pseudorandom Testmustern	225
4.3.2.5	Bewertung der beiden Selbsttest-Architekturen	230
4.4	Literatur	234
5.	Hierarchischer Selbsttest	237
5.1	Randbedingungen der Selbsttest-Architektur	239
5.1.1	Strukturierung des Bausteins	239
5.1.1.1	Makrozelle	239
5.1.1.2	Random-Logik	242

5.1.2	Scan-Entwurf	242
5.2	Selbsttest-Architektur	245
5.2.1	Selbsttest-Architektur für eine Makrozelle	246
5.2.1.1	BIST-Access-Port	247
5.2.1.2	Eingangs-Testregister einer Makrozelle	248
5.2.1.3	Ausgangs-Testregister einer Makrozelle	250
5.2.1.4	Makro-BIST-Interface	251
5.2.2	Selbsttest-Architektur für die Random-Logik	253
5.2.2.1	Erweiterung des TAP-Interface	254
5.2.2.2	Testmustergenerator	254
5.2.2.3	Testantwortauswerter	255
5.2.2.4	BIST-Interface	255
5.2.3	Externe Steuerung des Selbsttests	259
5.3	Erweiterung der Selbsttest-Hierarchie	260
5.3.1	Selbsttest der Baugruppe	261
5.3.2	Aufgaben eines Board-BIST-Controllers	263
5.4	Literatur	265
	Stichwortverzeichnis	266