

Inhaltsverzeichnis

1 Einleitung	1
2 Übersicht über die mikroelektronischen Speicherschaltkreise	5
2.1 <i>Definitionen und Typen</i>	5
2.1.1 Selektionsprinzip	5
2.1.2 Art des Zugriffs	6
2.1.3 Lese- und Schreibzugriff	6
2.1.4 Informationsverhalten bei Netzausfall und beim Lesen	7
2.1.5 Technologien für Speicherschaltkreise	8
2.2 <i>Speicherschaltkreise</i>	8
2.2.1 Innere Struktur der Speicherschaltkreise	8
2.2.2 Speicherkapazität	9
2.2.3 Speicherzellen und ausgenutzte physikalische Prinzipien	10
2.2.4 Forderungen an Speicherschaltkreise	11
2.3 <i>Trends bei Speicherschaltkreisen</i>	13
2.4 <i>Anwendungen mikroelektronischer Speicher</i>	16
3 Schaltungstechnische Grundlagen	19
3.1 <i>MOS-Schaltungstechnik</i>	19
3.1.1 MOS-Transistoren	19
3.1.2 MOS-Inverter	22
3.1.2.1 Statischer MOS-Inverter mit Enhancementstransistoren	24
3.1.2.2 Weitere Invertertypen	26
3.1.3 MOS-Logikschaltungen	29
3.1.3.1 Statische MOS-Logik	29
3.1.3.2 Dynamische MOS-Logik	31
3.1.3.3 NMOS- und CMOS-Transferegates	34
3.1.4 Dekoder	34
3.1.5 Ein- und Ausgangspuffer	37
3.1.6 Flipflop als elementares Speicherelement	39
3.2 <i>Bipolare Schaltungstechnik</i>	41

3.2.1 Bipolartransistor	41
3.2.2 Bipolare Inverter	42
3.2.2.1 TTL-Inverter	43
3.2.2.2 ECL-Inverter	43
3.3 BICMOS-Schaltungstechnik	45
4 Schreib-Lese-Speicherschaltkreise (RAM)	47
4.1 MOS-SRAM	47
4.1.1 Speicherzellen für MOS-SRAM	47
4.1.2 Speicherschaltkreis	50
4.1.2.1 Struktur und Funktion	50
4.1.2.2 Anforderungen an den Entwurf von SRAM-Schaltkreisen	54
4.1.2.3 Schaltungstechnische Lösungen für ausgewählte Baugruppen	55
4.1.2.4 Ausbeuteerhöhung durch Redundanz	59
4.1.2.5 Anwenderorientierte Besonderheiten bei speziellen SRAM	61
4.2 Bipolare SRAM	61
4.2.1 Speicherzellen	61
4.2.2 Speicherschaltkreis	63
4.3 Entwicklungsrichtungen bei SRAM-Schaltkreisen	66
4.3.1 Anwendung der MOS-SOI-Technik	67
4.3.2 BICMOS-Speicherschaltkreise	67
4.3.3 Galliumarsenid-Speicherschaltkreise	71
4.4 MOS-DRAM	72
4.4.1 Speicherzellen	72
4.4.2 Speicherschaltkreis mit Dreitransistorzellen	74
4.4.3 Speicherschaltkreis mit Eintransistorzellen	75
4.4.3.1 Struktur und Funktion	75
4.4.3.2 Schaltungstechnische Realisierung	78
4.4.3.3 Betriebsarten für schnelleren Datendurchsatz	81
4.4.3.4 Refresharten	83
4.5 Probleme des Entwurfs von Megabit-DRAMs	84
4.5.1 Übersicht über die Probleme der weiteren Erhöhung des Integrationsgrades	84
4.5.2 Speicherzellen für Megabit-DRAMs	85
4.5.3 Schaltungstechnische Besonderheiten	88
4.5.3.1 Blockstruktur	88
4.5.3.2 Bitleitungsschaltung	89
4.5.3.3 Reduzierte Betriebsspannung	91
4.5.3.4 Verwendung von BICMOS-Schaltungen	91
4.5.4 Begrenzung der Fehlerrate durch Soft-errors	92
4.5.4.1 Soft-errors durch α -Strahlen	92

4.5.4.2 Mitintegrierte Fehlererkennungs- und -korrekturschaltungen	93
4.5.5 Integrierte Testschaltungen	95
5 Festwertspeicher-Schaltkreise (ROM)	97
5.1 <i>Allgemeines und Übersicht</i>	97
5.2 <i>Maskenprogrammierte ROM</i>	99
5.2.1 Bipolare ROM	100
5.2.2 Maskenprogrammierte MOS-ROM	101
5.2.2.1 MOS-ROM mit Parallelstruktur	101
5.2.2.2 Verwendung der X-Zelle	102
5.2.2.3 MOS-ROM mit Serienstruktur	103
5.2.2.4 Multilevel-ROM	104
5.3 <i>Einmalig elektrisch programmierbare ROM (PROM)</i>	105
5.3.1 Bipolare PROM	105
5.3.2 MOS-PROM	107
5.4 <i>Elektrisch programmierbare und durch UV-Licht löschbare ROM (EPROM)</i>	108
5.4.1 Zellen für EPROMs	108
5.4.1.1 Zwei-Transistor-P-Kanal-Zelle	109
5.4.1.2 Eintransistor-Stapelgate-Zelle mit N-Kanal	110
5.4.2 EPROM-Schaltkreis	112
5.4.2.1 Blockschaltbild	112
5.4.2.2 Gehäuse und Anschlußbelegung	113
5.4.3 Schaltungstechnische Fragen	114
5.4.3.1 Leseschaltung	115
5.4.3.2 Redundanz	115
5.4.3.3 Schaltungen zur Testunterstützung	116
5.4.4 Applikative Gesichtspunkte	117
5.4.4.1 Betriebsarten von EPROMs	117
5.4.4.2 Programmiergeräte und Programmieralgorithmen	118
5.5 <i>Elektrisch programmierbare und löschbare ROM (EEPROM)</i>	119
5.5.1 MNOS-Speicher	120
5.5.2 Floatinggate-EEPROM	122
5.5.2.1 Zweittransistor-FLOTOX-Zelle	122
5.5.2.2 Eigenschaften der EEPROM-Schaltkreise	124
5.5.2.3 Flash-EEPROM	125
5.6 Nichtflüchtige RAM	127
6 Technische Realisierung von Speichern	128
6.1 <i>Allgemeine Überlegungen</i>	128
6.2 <i>Stromversorgung des Speichers</i>	132

6.2.1 Berechnung des Leistungsbedarfes	132
6.2.1.1 Berechnung der Verlustleistung der Speichermatrix	132
6.2.1.2 Verlustleistung der Treiberbaustufen	136
6.2.1.3 Beispiel einer Verlustleistungsberechnung	137
6.2.2 Betriebsstromzuführung innerhalb des BSM	139
6.2.2.1 Minimierung von Betriebsspannungsschwankungen durch Verminderung der Induktivitäten	142
6.2.2.2 Minimierung von Betriebsspannungsschwankungen mittels lokaler Stützkondensatoren	143
6.2.2.3 Einschalten der Betriebsspannung	147
6.3 Ansteuerung der Speichermatrix	148
6.3.1 Elektrische Ansteuerbedingungen	148
6.3.1.1 Reflexionen	150
6.3.1.2 Übersprechen	156
6.3.2 Zeitbedingungen der Ansteuersignale, Timing des Speichermoduls	159
6.3.3 Bestimmung der Verzögerungszeiten	160
6.3.3.1 Maximale und minimale Logikverzögerung	161
6.3.3.2 Einfluß der Lastkapazität	161
6.3.3.3 Signalleitungsverzögerung	163
6.3.3.4 Einfluß des Seriendämpfungswiderstandes R_D	164
6.4 Geometrischer Aufbau einer Speicherleiterkarte	165
6.4.1 Steigerung der Packungsdichte von Speichern	167
6.4.2 SM-Schaltkreis	167
6.4.3 Oberflächenmontagetechnologie	168
6.4.4 SIP-Speichermodule	170
7 Entwurf von Speicherbaugruppen und Speichern	172
7.1 ROM-Speicher	174
7.1.1 Worterweiterung des ROM-Speichers	174
7.1.2 Kapazitätserweiterung des ROM-Speichers innerhalb des CPU-Adreßraums	175
7.1.3 Kapazitätserweiterung über den CPU-Adreßraum hinaus	176
7.1.4 ROM-Schaltkreise als programmierbare Logik-Arrays	178
7.1.5 ROM-PLA als Signalgenerator	179
7.2 SRAM-Speicher	180
7.2.1 Cache-Speicher (Pufferspeicher)	180
7.2.1.1 Vollassoziativer Cache-Speicher	181
7.2.1.2 Einweg-Cache	182
7.2.1.3 Assoziativer Zweigege-Cache	183
7.2.1.4 Entwurf von Cache-Speichern	183
7.2.2 SRAM-Speichermatrix für FIFO-Speicher	188
7.3 DRAM-Speicher	189

7.3.1 Regeneriervarianten	190
7.3.2 Regeneriersteuerung/Speichersteuerung	192
7.3.2.1 Steuerung im Großcomputer	194
7.3.2.2 Steuerung im Mikrocomputer	195
7.4 Maßnahmen zur Datensicherung im Speicher	200
7.4.1 Nichtschritt haltende Datensicherungsmaßnahmen	201
7.4.1.1 Standard-Testalgorithmen	202
7.4.1.2 Optimierte Testalgorithmen: Funktionaltests	208
7.4.1.3 Optimierte Testalgorithmen: Maskenabhängige Tests	215
7.4.1.4 Zufallstests	217
7.4.2 Schritthalten de Datensicherungsmaßnahmen	220
7.4.2.1 Implementierungsvarianten von Fehlererkennungs- und Korrektur einrichtungen	221
7.4.2.2 Allgemeine Grundlagen fehlertoleranter Binärblockcodes	222
7.4.2.3 Matrizendarstellung der Fehlerkorrektur-Prozedur	226
7.4.2.4 Beispiele für 1EC- und 1EC+2ED-Codes	228
7.4.3 Zuverlässigkeit von Speichern	232
7.4.3.1 Zuverlässigkeitseigenschaften von Systemen mit Redundanz	232
7.4.3.2 Zuverlässigkeitsfunktion von Speichern mit und ohne Fehlerkorrektur einrichtungen	235
7.4.3.3 MTBF eines Speichers	238
8 Ausblick: Integration von Speichern und Logik	241
8.1 Übersicht	241
8.2 Inhaltsadressierte Speicher	243
8.2.1 Inhaltsadressierte Speicher und Assoziativspeicher	243
8.2.2 Mikroelektronische Realisierung von CAM	246
8.3 Speicherung in Parallelprozessorsystemen	249
8.3.1 Übersicht über Parallelprozessorsysteme	249
8.3.2 Computernetze	250
8.3.3 Zellulare Parallelprozessorstrukturen	251
8.3.4 Künstliche neuronale Netzwerke	251
 Anhang: Verlustleistungsberechnung für den DRAM-Basis speicher modul nach Abschnitt 6.3.2.1	 253
Literaturverzeichnis	258
Sachwortverzeichnis	267