

2780-9750

Klaus Fricke

# **Digitaltechnik**

**Lehr- und Übungsbuch für  
Elektrotechniker und Informatiker**

Mit 147 Abbildungen und 86 Tabellen



# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
<b>2</b>	<b>Codierung und Zahlensysteme</b>	<b>3</b>
2.1	Codes .....	3
2.2	Binärcode .....	4
2.3	Festkomma-Arithmetik im Binärsystem .....	5
2.3.1	Ganzzahlige Addition im Binärsystem .....	5
2.3.2	Addition von Festkommazahlen .....	6
2.3.3	Einerkomplementdarstellung .....	6
2.3.4	Zweierkomplementdarstellung .....	7
2.3.5	Subtraktion in Zweierkomplementdarstellung .....	8
2.3.6	Bereichsüberschreitung .....	8
2.3.7	Multiplikation .....	9
2.3.8	Division .....	10
2.4	Hexadezimalcode .....	10
2.5	Oktalcode .....	11
2.6	Graycode .....	11
2.7	BCD-Code .....	12
2.8	Alphanumerische Codes .....	13
2.9	Übungen .....	13
<b>3</b>	<b>Schaltalgebra</b>	<b>15</b>
3.1	Schaltvariable und Schaltfunktion .....	15
3.2	Zweistellige Schaltfunktionen .....	16
3.3	Rechenregeln .....	20
3.4	Kanonische disjunktive Normalform (KDNF) .....	21
3.5	Kanonische konjunktive Normalform (KKNF) .....	22
3.6	Darstellung von Funktionen mit der KKNF und KDNF .....	22
3.7	Minimieren mit Hilfe der Schaltalgebra .....	25
3.8	Vereinfachte Schreibweise .....	26
3.9	Schaltsymbole .....	26
3.9.1	Grundsätzlicher Aufbau der Symbole .....	26
3.9.2	Die Abhängigkeitsnotation .....	27
3.9.3	Die UND-Abhängigkeit (G) .....	27
3.9.4	Die ODER-Abhängigkeit (V) .....	28
3.9.5	Die EXOR-Abhängigkeit (N) .....	29
3.9.6	Die Verbindungs-Abhängigkeit (Z) .....	29
3.9.7	Die Übertragungs-Abhängigkeit (X) .....	30
3.10	Übungen .....	30
<b>4</b>	<b>Verhalten logischer Gatter</b>	<b>31</b>
4.1	Positive und negative Logik .....	32

<b>11 Schieberegister</b>	<b>133</b>
11.1 Zeitverhalten von Schieberegistern .....	134
11.1.1 Schieberegister 74194.....	135
11.2 Rückgekoppelte Schieberegister.....	137
11.2.1 Moebius-Zähler, Johnson-Zähler.....	138
11.2.2 Pseudo-Zufallsfolgen.....	140
11.3 Übungen .....	142
<b>12 Arithmetische Bausteine</b>	<b>143</b>
12.1 Volladdierer .....	143
12.2 Serienaddierer.....	143
12.3 Ripple-Carry-Addierer.....	144
12.4 Carry-Look-Ahead Addierer .....	145
12.4.1 Kaskadierung von Carry-Look-Ahead-Addierern .....	147
12.4.2 Vergleich der Addierer .....	151
12.5 Arithmetisch-logische-Recheneinheiten (ALU) .....	151
12.5.1 Beispiele für Operationen .....	154
12.6 Komparatoren .....	157
12.6.1 2-Bit-Komparator .....	157
12.6.2 Kaskadierbare Komparatoren.....	159
12.7 Übungen .....	160
<b>13 Digitale Speicher</b>	<b>161</b>
13.1 Prinzipieller Aufbau von Speicherbausteinen.....	162
13.2 ROM.....	162
13.3 PROM.....	165
13.4 EPROM .....	166
13.5 EEPROM.....	167
13.6 EAROM.....	167
13.7 NOVRAM .....	167
13.8 RAM.....	168
13.8.1 Statisches RAM .....	168
13.8.2 Beispiel RAM.....	169
13.9 Dynamisches RAM.....	173
13.10 Quasistatisches DRAM.....	178
13.11 Eimerkettenspeicher .....	178
13.11.1 Beispiel eines FIFOs.....	178
13.12 Kaskadierung von Speichern .....	181
13.13 Erweiterung der Wortlänge.....	181
13.14 Erweiterung der Speicherkapazität .....	182
13.14.1 Volldekodierung .....	183
13.14.2 Teildekodierung.....	185
13.14.3 Lineare Dekodierung.....	187
13.15 Übungen .....	189
<b>14 Programmierbare Logikbausteine</b>	<b>191</b>
14.1 ASIC-Familien.....	191

14.2 Programmierbare Logik-ICs (PLD).....	194
14.2.1 PLD-Typen.....	194
14.3 ROM, EPROM, EEPROM .....	195
14.4 PLA .....	196
14.5 PAL .....	203
14.6 GAL.....	205
14.7 Programmierung von PLD-Bausteinen .....	208
14.7.1 Test.....	209
14.8 Field Programmable Gate Arrays (FPGA) .....	210
14.8.1 Aufbau eines FPGAs .....	210
14.8.2 Konfigurierbare Logik-Blöcke (CLB).....	211
14.8.3 IO-Block.....	212
14.8.4 Verbindungsleitungen.....	213
14.8.5 Programmierung eines FPGAs .....	214
14.9 EPLD .....	214
14.9.1 Beispiel EPLD: CY7C343.....	214
14.10 Gate-Arrays .....	215
14.10.1 Aufbau von Channeled Gate-Arrays .....	216
14.11 Standardzellen-ASIC.....	219
14.12 Vollkundendesign-ASICs.....	219
14.13 Übungen .....	220
<b>15 Entwicklungs-Software</b> .....	<b>221</b>
15.1 Entwurfsverfahren für digitale Schaltungen.....	221
15.2 ABEL.....	222
15.2.1 ABEL-Programm: Adressdekoder .....	223
15.2.2 ABEL-Programm: Schaltwerk .....	225
15.3 Übungen .....	228
<b>16 Prinzip des Mikroprozessors</b> .....	<b>229</b>
16.1 Kooperierende Schaltwerke.....	229
16.2 Der von Neumann-Rechner .....	230
16.3 Operationswerke.....	231
16.3.1 Architektur von Operationswerken .....	231
16.3.2 Bussysteme .....	232
16.4 Leitwerke.....	233
16.5 Mikroprogrammierung .....	234
16.6 Übungen .....	236
<b>17 Der Mikroprozessor 8085A</b> .....	<b>237</b>
17.1 Aufbau des 8085A.....	237
17.2 Anschlüsse des 8085.....	239
17.3 Speicher- und Peripherie .....	242
17.4 Peripheriebausteine.....	243
17.5 Die Parallelschnittstelle 8255 .....	244
17.6 Funktionsabläufe bei der Befehlsausführung .....	246
17.6.1 Der Operationcode -Fetch-Zyklus (OF).....	247

17.6.2	Der Memory-Read-Zyklus (MR).....	248
17.6.3	Der Memory Write-Zyklus (MW).....	249
17.6.4	Beispiel für eine Befehlsausführung.....	250
17.7	Interruptsteuerung.....	251
17.8	Assembler-Programmierung.....	252
17.9	Befehlssatz.....	253
17.10	Transferbefehle.....	253
17.10.1	Adressierung „Register“.....	253
17.10.2	Adressierung „Register Indirekt“.....	254
17.10.3	Adressierung „Immediate“.....	255
17.10.4	Adressierung „Direkt“.....	255
17.11	Arithmetische Befehle.....	256
17.12	Logische Operationen.....	258
17.13	Setzen und Löschen des Carry-Flags.....	259
17.14	Schiebepfehle.....	259
17.15	Programmverzweigungen.....	259
17.15.1	Beispiel für einen Sprung.....	260
17.16	Befehle für Unterprogramme.....	261
17.17	Befehle für die Prozessorsteuerung.....	265
17.18	Assemblerbefehle.....	266
17.19	Programmbeispiele.....	268
17.19.1	Programmierung der Parallelschnittstelle 8255.....	268
17.19.2	Datenübergabe an Unterprogramme.....	270
17.20	Übungen.....	272
<b>A</b>	<b>Anhang</b> .....	<b>273</b>
A.1	Die Abhängigkeitsnotation.....	273
A.2	Befehlssatz des 8085A.....	277
	<b>Lösungen der Aufgaben</b> .....	<b>283</b>
	<b>Literatur</b> .....	<b>305</b>
	<b>Sachwortregister</b> .....	<b>309</b>