

Einführung in die Digitaltechnik

Von Professor Dr.-Ing. **Heinz-Georg Fehn**
Fachhochschule Münster

Mit 212 Bildern und 71 Tabellen



J. Schlemmbach Fachverlag

Inhaltsverzeichnis

1 Einführung	1
1.1 Analog - Digital Unterscheidung	1
1.1.1 Analoge Darstellung	2
1.1.2 Digitale Darstellung	3
1.1.3 Prinzip der Analog-Digital-Wandlung	4
1.2 Begriffsdefinitionen	5
1.3 Binäre Darstellung	6
1.4 Zahlensysteme	7
1.4.1 Polyadische Zahlensysteme	8
1.4.2 Vorkomma-Dezimalzahlkonvertierung	9
1.4.3 Nachkomma-Dezimalzahlkonvertierung	10
1.4.4 Vereinfachte Konvertierungsverfahren	12
1.5 Zahlendarstellung	13
1.5.1 Vorzeichenlose Zahlen	14
1.5.2 Vorzeichenbehaftete Zahlen	14
1.5.3 B -Komplement-Zahlendarstellung	15
1.5.4 Darstellung gebrochener Zahlen	16
1.6 Rechnen mit Dualzahlen	18
1.6.1 Addition	18
1.6.2 Subtraktion	19
1.6.3 Subtraktion in B -Komplement-Zahlendarstellung	21
1.6.4 Multiplikation	25
1.6.5 Division	26
1.7 Übungen	27
2 Codes und Codierung	29
2.1 Einteilung von Codes	29
2.1.1 Zählcodes	31
2.1.2 Positionscodes	32
2.2 Codesicherung	37
2.2.1 Prüfbitverfahren	37
2.2.2 Fehlerkorrigierbare Codes	38
2.3 Übungen	40
3 Schaltalgebra	41
3.1 Gesetze der Schaltalgebra	41
3.1.1 Rechenregeln der Schaltalgebra	44
3.1.2 Kürzungsregeln der Schaltalgebra	46
3.1.3 Reihenfolge der logischen Operationen	47

3.2 Verknüpfung von Variablen	48
3.3 Sheffer- und Pierce-Funktion	50
3.4 Übungen	52
4 Realisierung logischer Schaltungen	53
4.1 Zuordnung logischer Zustände	54
4.2 Kenngrößen technischer Schaltungen	55
4.2.1 Pegelzuordnung	55
4.2.2 Spannungsübertragungskennlinie	56
4.2.3 Signallaufzeiten	57
4.2.4 Belastungsdefinitionen	58
4.2.5 Störeinflüsse	59
4.2.6 Zusammenschaltung von Ausgängen	61
4.2.7 Tri-State-Ausgang	62
4.3 Realisierung mit diskreten Bauelementen	63
4.3.1 Dioden-Logik	63
4.3.2 Dioden-Transistor-Logik	65
4.3.3 Resistor-Transistor-Logik	66
4.3.4 Emitttergekoppelte Logik	67
4.4 Transistor-Transistor-Logik	69
4.4.1 Totem-Pole-Ausgang	70
4.4.2 Tri-State-Ausgang	72
4.4.3 Open-Kollektor-Baustein	73
4.4.4 Widerstandsberechnung für Open-Kollektor-Bausteine	73
4.4.5 Umschaltpunkt bei TTL-Bausteinen	75
4.4.6 TTL-Logikfamilien	76
4.4.7 Handhabung freier Eingänge	78
4.5 CMOS-Schaltungsfamilie	79
4.5.1 CMOS-Grundschialtung	80
4.5.2 Pegel und Leistungsaufnahme von CMOS-Bausteinen	80
4.5.3 CMOS-Logikfamilien	82
4.5.4 Handhabung unbenutzter Eingänge	83
4.5.5 Kopplung von TTL- und CMOS-Bausteinen	84
4.6 Übungen	85
5 Verfahren zum Logikentwurf	87
5.1 Schaltungssynthese über die Normalform	87
5.1.1 Disjunktive Normalform	87
5.1.2 Konjunktive Normalform	89
5.1.3 Schaltungsrealisierung über die Normalform	90
5.2 Minimierung logischer Gleichungen	91
5.2.1 Karnaugh-Veitch-Diagramm	91

5.2.2 Anwendung des KV-Diagramms	93
5.2.3 Verfahren nach Quine-McCluskey	95
5.2.4 Minimale Primterm Identifikation	98
5.3 Minimierung mit don't care Termen	101
5.3.1 Handhabung der don't care Terme	102
5.3.2 KV-Diagramm und don't care Terme	103
5.4 Realisierung disjunktiver Gleichungen	105
5.5 Hazards in logischen Schaltungen	106
5.5.1 Logische statische Hazards	107
5.5.2 Logische dynamische Hazards	108
5.5.3 Hazarderkennung	109
5.5.4 Hazard und KV-Diagramm	110
5.5.5 Funktionale Hazards	112
5.6 Digitale Standardschaltungen	113
5.6.1 Multiplexer	113
5.6.2 Realisierung der DNF über Multiplexer	114
5.6.3 Demultiplexer	116
5.6.4 Codewandler	116
5.6.5 Komparator	117
5.6.6 Additionsschaltungen	119
5.6.7 Multiplikationsschaltungen	122
5.7 Übungen	123

6 Zeitabhängige logische Schaltungen **125**

6.1 Kippschaltungen	125
6.1.1 Astabile Kippschaltungen	125
6.1.2 Monostabile Kippschaltungen	127
6.1.3 Bistabile Kippschaltungen	128
6.2 Flipflop-Arten	134
6.2.1 Ereignisgesteuertes Flipflop	136
6.2.2 Taktzustandsgesteuertes Flipflop	136
6.2.3 Taktflankengesteuertes Flipflop	137
6.2.4 Master-Slave-Flipflop	138
6.2.5 T-Flipflop	140
6.2.6 D-Flipflop	141
6.2.7 JK-Flipflop	142
6.2.8 Logische Gleichungen und Arbeitstabellen der Flipflops	143
6.2.9 Asynchrone Steuereingänge	145
6.2.10 Schaltverhalten von Flipflops	146
6.3 Zählerschaltungen	147
6.3.1 Asynchrone Zähler	148
6.3.2 Asynchrone BCD-Zähler mit T-Flipflops	149

6.3.3 Asynchroner BCD-Zähler mit SR-Flipflops	151
6.3.4 Entwurf von Synchronzählern	154
6.4 Zählertypen	156
6.4.1 Ringzähler	156
6.4.2 Johnsonzähler	157
6.4.3 Mehrstufiger Asynchronzähler	158
6.4.4 Mehrstufiger Synchronzähler	158
6.5 Zähler als Frequenzteiler	159
6.6 Register	161
6.6.1 Schieberegister	161
6.6.2 Zählerrealisierung mit Schieberegister	162
6.7 Übungen	163
7 Schaltwerke	165
7.1 Endliche Automaten	166
7.1.1 Mealy-Automat	167
7.1.2 Moore-Automat	168
7.1.3 Medwedjew-Automat	169
7.1.4 Autonomer Automat	169
7.2 Funktionale Beschreibung von Automaten	170
7.2.1 Zustandsfolgetabelle	170
7.2.2 Zustandsdiagramm	171
7.2.3 Bildung der Logikfunktion	173
7.2.4 Zustandscodierung	174
7.2.5 Stabilität	174
7.3 Strukturelle Beschreibung von Automaten	175
7.3.1 Struktur asynchroner Automaten	175
7.3.2 Struktur synchroner Automaten	176
7.4 Entwurf von Automaten	177
7.4.1 Entwurf asynchroner Automaten	177
7.4.2 Entwurf synchroner Automaten	180
7.5 Übungen	189
8 Programmierbare Logikbausteine	191
8.1 Gruppen programmierbarer Logikbausteine	191
8.1.1 Programmierbare Logikbausteine (PLD)	192
8.1.2 Gate Array	193
8.1.3 Cell Arrays	193
8.1.4 ASICs	194
8.2 PLD-Strukturen	194
8.2.1 Bezeichnung der PLD-Struktur	197
8.2.2 Programmierungstechnologien	197

8.3	PLD-Bausteine und Schaltungen	199
8.3.1	Grundverknüpfungen im PLD	199
8.3.2	Tri-State-Ausgang und Rückführung	201
8.3.3	Programmierbare Ausgangspolarität	203
8.3.4	Registerausgang	203
8.3.5	Konfigurierbare Makrozelle	204
8.4	PLD-Programmierung	208
8.4.1	JEDEC-File	208
8.4.2	Rechnergestützter Logikentwurf	209
8.4.3	Entwurfsbeispiel	210
8.5	PLD-Bausteine und Automaten	212
8.5.1	Automatenentwurf im PLD	213
8.5.2	PLS-Bausteine	217
8.6	Komplexe programmierbare Logikbausteine	217
8.7	FPGA	218
8.7.1	Antifuse-Technologie	219
8.7.2	FPGA mit Antifuse-Technologie	219
8.7.3	SRAM-Zellen Technologie	220
8.7.4	FPGA mit SRAM-Technologie	220
8.7.5	Gatteräquivalente	222

9 Speicherbausteine **223**

9.1	Eigenschaften von Speicherbausteinen	223
9.1.1	Zugriffsarten	223
9.1.2	Adressierung	223
9.1.3	Speicherdauer	223
9.1.4	Speicherart	224
9.1.5	Speicherorganisation	224
9.1.6	Speicherkapazität	225
9.2	Aufbau von Speicherbausteinen	225
9.2.1	ROM-Bausteine	227
9.2.2	PROM-Bausteine	228
9.2.3	E(E)PROM-Bausteine	228
9.2.4	RAM-Bausteine	229
9.2.5	SRAM-Bausteine	229
9.2.6	DRAM-Bausteine	232
9.3	Einsatz von Speicherbausteinen in Automaten	233
9.3.1	Indirekte Adressierung des Speicherbausteins	236
9.3.2	Synchrone Ein- und Ausgänge eines Automaten	240

10 Analog-Digital- / Digital-Analog-Wandler	241
10.1 Verfahren der Analog-Digital-Wandlung	242
10.1.1 Parallelumsetzung	243
10.1.2 Wägeverfahren	244
10.1.3 Zähl- und Nachlaufverfahren	246
10.2 Indirekte Verfahren der Analog-Digital-Wandlung	247
10.2.1 Das 1-Rampenverfahren	247
10.2.2 Das 2-Rampenverfahren	249
10.2.3 Spannungs-Frequenz-Umsetzung	251
10.3 Digital-Analog-Wandler	251
10.3.1 Pulsweiten-Modulation	254
Literatur	255
Index	257