

Paul Herrmann

# **Rechnerarchitektur**

Aufbau, Organisation  
und Implementierung



# Inhalt

<b>1 Einführung</b> .....	<b>1</b>
1.1 Allgemeine Einführung .....	1
1.2 Rechnerarchitektur-Begriff .....	4
1.3 Definitionen .....	6
1.4 Software-Architektur .....	6
1.5 Hardware-Architektur .....	8
1.6 Prinzipieller Rechneraufbau .....	9
1.7 Hardware-Kosten eines Rechnersystems .....	12
1.8 Wichtige Kenngrößen einer Rechnerarchitektur .....	13
<b>2 Technologische Grundlagen</b> .....	<b>15</b>
2.1 Einführung .....	15
2.2 Integration in der Chip-Technologie .....	15
2.3 Prozessor-Design und Hardware-Implementierung .....	18
2.4 Energieprobleme in Rechnersystemen .....	26
<b>3 Einfachst-Rechner</b> .....	<b>33</b>
3.1 Einführung .....	33
3.2 Architektur-Entscheidungen .....	33
3.3 Funktions-Einheiten .....	34
3.3.1 Logische Einheit .....	34
3.3.2 Steuerung der ALU .....	35
3.3.3 Die Register .....	36
3.3.3.1 Funktion der Register .....	36
3.3.3.2 Register-Implementierung .....	37
3.3.4 Multiplexer .....	40
3.3.5 Der Hauptspeicher .....	41
3.3.6 Bussystem .....	43
3.3.7 Ablaufsteuerung .....	44
3.3.8 Das Leitwerk .....	48
3.3.9 Ein- und Ausgabe-Einheit .....	52
3.3.10 Unterschiede zu realen Rechner-Implementierungen .....	54
<b>4 Adressierung</b> .....	<b>59</b>
4.1 Einführung .....	59
4.2 Universalregister-Maschinen .....	60
4.3 Byte Ordering .....	62

4.4 Befehlsarten .....	66
4.5 Registersatz der Zentraleinheit .....	67
4.6 Befehlsformat und Adressierungsarten .....	67
4.7 64 Bit-Architekturen .....	69
<b>5 Speichernutzung .....</b>	<b>73</b>
5.1 Einführung .....	73
5.2 Aufteilung des Hauptspeichers .....	74
5.3 Speicherschutz .....	76
5.4 Multitasking und Multiprogrammierung .....	77
5.4.1 Multitasking .....	77
5.4.2 Multiprogrammierung .....	78
5.4.3 Speicherschutz in multiprogrammierten Betriebssystemen .....	79
5.4.4 Speicherzerstückelung .....	84
5.4.5 Overlay-Technik .....	85
<b>6 Virtuelle Speicher .....</b>	<b>87</b>
6.1 Einführung .....	87
6.2 Virtueller und realer Adreßraum .....	87
6.3 Adreßumsetzung .....	88
6.4 Demand Paging .....	93
6.5 Prozeßverwaltung .....	96
6.5.1 Einfache virtuelle Speicher .....	96
6.5.2 Mehrfacher virtueller Speicher .....	97
6.5.2.1 DEC VAX-Architektur .....	98
6.5.2.2 IBM /390-Architektur .....	103
6.5.2.3 Motorola-IBM-Architekturen .....	106
6.5.3 Seitengrößen .....	110
6.6 Lokalitäts-Prinzip .....	111
6.7 Seiten-Attribute .....	113
6.8 Adreßumsetzungspuffer .....	114
6.8.1 Voll-assoziativer Adreßumsetzungspuffer .....	116
6.8.1.1 Aufbau und Funktionsweise .....	116
6.8.1.2 Adreßumsetzungspuffer-Ersetzungs-Algorithmen .....	119
6.8.2 Set-assoziativer Adreßumsetzungspuffer .....	123
6.9 Der externe Seitenspeicher .....	128

<b>7 Virtuelle Speicherverwaltung in Multiprogrammsystemen.....</b>	<b>133</b>
7.1 Funktionsweise .....	133
7.2 Gemeinsame Seitentafel verschiedener Prozesse .....	134
7.3 Ein- /Ausgabe-Operationen .....	136
<b>8 Segmentierung.....</b>	<b>139</b>
8.1 Einführung.....	139
8.2 IBM RS/6000 Segmentierung .....	141
8.3 IBM ESA/370 (/390) Segmentierung .....	142
8.4 Segmentierung der Intel-Architekturen .....	143
<b>9 Hauptspeicher .....</b>	<b>147</b>
9.1 Hauptspeicher-Technologien .....	147
9.2 Implementierungsarten einer Speicherzelle .....	150
9.2.1 Statische Speicherzelle .....	150
9.2.2 Dynamische Speicherzelle .....	151
9.2.2.1 Funktionsweise .....	151
9.2.2.2 Fehlererkennung und -korrektur .....	152
9.2.2.3 Zuverlässigkeit und Fehler-Codes .....	154
9.3 Adressierung des Hauptspeichers .....	160
9.4 Preisgestaltung von Hauptspeicher-Chips .....	164
9.5 Erweiterungsspeicher (expanded storage) .....	166
9.6 Extended Refresh Devices .....	170
9.7 Techniken zur Beschleunigung der Hauptspeicherzugriffe .....	171
9.7.1 Einführung .....	171
9.7.2 Speicherverschachtelung (Memory Interleaving) .....	172
9.7.3 Cache-Speicher .....	174
9.7.3.1 Technologie .....	174
9.7.3.2 Cache-Prinzip .....	175
9.7.3.3 Cache ohne virtuelle Speichertechnik .....	176
9.7.3.4 Leistungsfähigkeit des Cache-Speichers .....	186
9.7.3.5 Datengültigkeit .....	190
9.7.3.6 Nachladen des Cache .....	191
9.7.3.7 L1 -, L2-Cache .....	194
9.7.3.8 Cache mit virtueller Speichertechnik .....	196

9.7.4 Prefetch-Buffer .....	197
9.7.5 Pro und Kontra Havard-Architektur .....	198
<b>10 Mikroprogrammierung .....</b>	<b>199</b>
10.1 Horizontale Mikroprogramme .....	203
10.2 Vertikale Mikroprogramme .....	204
10.3 Adressierung mittels Statusinformation .....	205
10.4 Zweistufige Mikroprogramme .....	206
10.5 High Level Microcode .....	209
<b>11 Pipelines .....</b>	<b>211</b>
11.1 Einführung .....	211
11.2 Daten- und Steuerfluß .....	213
11.2.1 Datenflußkonflikt .....	215
11.2.2 Steuerflußkonflikt .....	217
11.2.2.1 Delayed Branch .....	218
11.2.2.2 Branch Prediction .....	218
11.2.2.3 Branch History Table .....	220
<b>12 RISC-Architektur .....</b>	<b>223</b>
12.1 Einführung .....	223
12.2 Theoretische Eigenschaften von RISC-Architekturen .....	224
12.3 Praktische Merkmale moderner RISC-Implementierungen .....	226
12.4 Moderne RISC-Architekturen .....	227
12.5 RISC-Identifikation .....	232
12.6 Swing-Architekturen .....	233
<b>13 Leistungsverhalten von Rechnern .....</b>	<b>235</b>
13.1 Einführung .....	235
13.2 CPU-Leistung .....	235
13.3 Hauptspeicher-Effizienz .....	237
13.4 E/A-Leistung .....	240
13.5 Benchmark .....	242
13.5.1 Einführung .....	242
13.5.2 Whetstone-Benchmark .....	242
13.5.3 Dhrystone .....	243
13.5.4 Linpack .....	244
13.5.5 SPEC-Benchmarks .....	244

<b>14 Superskalare Architekturen .....</b>	<b>247</b>
14.1 Einführung.....	247
14.2 Superskalare Architekturen .....	249
14.2.1 Intel Pentium .....	252
14.3 Superpipelining .....	254
14.3.1 DEC Alpha .....	256
14.3.2 Intel 80860 .....	257
14.3.3 IBM RS/6000 .....	263
14.4 VLIW-Architekturen .....	267
<b>15 Dynamic Execution.....</b>	<b>269</b>
15.1 Einführung.....	269
15.2 Pentium Pro.....	269
15.2.1 P6-Branch Prediction .....	273
15.2.2 Mittlerer Teil der P6-Pipeline .....	276
15.2.2.1 Speculative Execution .....	278
15.2.2.2 Register Renaming .....	278
15.2.2.3 Out of Order Execution .....	279
15.2.3 Reservation Station .....	280
15.2.4 Memory Reorder Buffer .....	282
15.3 P6-kompatible Rechnerarchitekturen .....	283
15.4 Entwicklungs-Tendenzen .....	284
<b>16 Vektorrechner .....</b>	<b>287</b>
16.1 Einführung.....	287
16.2 CDC CYBER 205 .....	289
16.3 Cache-Speicher .....	294
16.4 Register .....	295
16.4.1 Steuerregister .....	295
16.4.2 Vektorregister .....	296
16.5 CRAY-Vektorrechner .....	297
16.6 Leistung von Vektorrechnern .....	300
16.7 Entwicklungstendenzen .....	302
<b>17 Hardware-Komponenten zur Unterstützung des Betriebssystems.....</b>	<b>305</b>
17.1 Einführung.....	305
17.2 Privilegstufen .....	305

17.3 Stapel .....	309
17.4 Unterbrechungen .....	314
<b>18 Ein- und Ausgabe-Organisation .....</b>	<b>321</b>
18.1 Einführung .....	321
18.2 Plattenspeicher .....	322
18.2.1 Magnetische Plattenspeicher .....	322
18.2.2 Optische Plattenspeicher .....	324
18.2.3 Holographische Speicher .....	326
18.3 Festplattenspeicher-Ansteuerung .....	326
18.4 Ein-/Ausgabe-Befehle .....	329
18.5 Arten der Ein-/Ausgabe .....	330
<b>19 Parallelrechner .....</b>	<b>333</b>
19.1 Einführung .....	333
19.2 Klassifizierung .....	334
19.2.1 Tightly coupled MIMD-Architekturen .....	335
19.2.2 Loosely coupled MIMD-Architekturen .....	340
19.3 Leistung von Parallelrechnern .....	345
19.4 Datenabhängigkeit .....	347
<b>Literaturverzeichnis .....</b>	<b>349</b>
<b>Index .....</b>	<b>355</b>