

Hans-Peter Messmer

PC-Hardwarebuch

Aufbau, Funktionsweise, Programmierung

Ein Handbuch nicht nur für Profis

6. Auflage



ADDISON-WESLEY

An imprint of Pearson Education

München • Boston • San Francisco • Harlow, England
Don Mills, Ontario • Sydney • Mexico City
Madrid • Amsterdam

Inhaltsverzeichnis

Teil 1: Grundlegendes und Allgemeines	1
1 Die wichtigsten Komponenten eines PCs	1
1.1 Der Computer und seine Peripherie	1
1.2 Das Innenleben des Personal Computers	3
1.2.1 Öffnen des Gehäuses	3
1.2.2 Schutzmaßnahmen gegen Stromschläge	5
1.2.3 Der Datenfluss in einem PC	6
1.2.4 Motherboard	8
1.2.5 Grafikadapter und Monitor	13
1.2.6 Laufwerkcontroller, Disketten und Festplatten	15
1.2.7 CD-ROM, CD-R und CD-RW	17
1.2.8 Parallele Schnittstellen und Drucker	19
1.2.9 Serielle Schnittstellen und Modems	20
1.2.10 Netzwerkkarten und LANs	22
1.2.11 CMOS-RAM und Echtzeituhr	25
1.2.12 Tastatur	26
1.2.13 Mäuse und andere Zeigeeinrichtungen	27
1.2.14 Netzteil	29
1.3 Anmerkungen zur Dokumentation	33
1.4 Vorsichtsmaßnahmen für Daten und Benutzer	34
1.5 Betriebssysteme, BIOS und Speicheraufteilung	35
1.5.1 Ist unter Windows alles besser?	39
1.5.2 Ein paar Worte zu Windows und was es mit den Hardware-Einheiten anstellt	45
Teil 2: Die Mikroprozessoren der Personal Computer	53
2 Grundlagen der Mikroprozessortechnik	53
2.1 Der Feldeffekttransistor	54
2.2 Grundlagen maschinennaher Informationsdarstellung	57
2.2.1 Dezimal- und Binärsystem	57
2.2.2 ASCII-Code	58
2.2.3 Negative Ganzzahlen und Zweierkomplement	59
2.2.4 Hexadezimalzahlen	60
2.2.5 BCD-Zahlen	61
2.2.6 Little-Endian-Format und Intel-Notation	62
2.3 Logikgatter	62
2.3.1 Grundlegende Logikelemente	62
2.3.2 CMOS-Inverter als Low-Power-Elemente	64
2.3.3 Ein Beispiel: 1-Bit-Addierer	66
2.4 Die CPU als zentraler Bestandteil aller Computer	67
3 Alles begann mit dem Urvater 8086	71
3.1 Anschlüsse und Signale des 8086	71
3.2 8086-Betriebsmodi und der Buscontroller 8288	76
3.3 Der 8086 Real Mode	76
3.4 Zugriff auf den Speicher	77
3.5 Wortgrenzen	79

3.6	Zugriff auf den I/O-Adressraum	80
3.7	8086 Reset	80
3.8	Der 8088	81
3.9	Der 80186/88	82
4	Kompatibilität nach unten – der 80286	85
4.1	Anschlüsse und Signale des 80286	85
4.2	Die 80286-Register	88
4.3	Der 80286 Protected Mode	88
4.3.1	Die 80286-Speicherverwaltungsregister	89
4.3.2	80286-Segmentdeskriptoren	90
4.3.3	80286-Segment- und Zugriffstypen	90
4.3.4	Multitasking, 80286 TSS und das 80286-Task-Gate	92
4.3.5	80286-Schutz für den I/O-Adressraum	93
4.4	80286-Buszyklen und -Pipelining	93
4.5	Wortgrenzen	94
4.6	80286-Reset	95
5	Einstieg in die 32-Bit-Welt – Der 80386	97
5.1	Anschlüsse und Signale des 80386	97
5.2	Der physikalische Speicher- und Portzugriff	101
5.2.1	Der Buszyklus für einen Lesezugriff	103
5.2.2	Der Buszyklus für einen Schreibzugriff	105
5.2.3	Waitstates oder Wartezyklen	106
5.2.4	Adress-Pipelining oder Pipelined-Adressierung	107
5.2.5	Doppelwortgrenze	109
5.2.6	Sonderzyklen	111
5.2.7	Datenbus und Duplizierung von Schreibdaten	112
5.2.8	I/O-Adressraum und die Peripherie	113
5.2.9	I/O-Adressierung	114
5.2.10	I/O-Zyklen	115
5.3	Die Register	115
5.3.1	Die Register in der Übersicht	115
5.3.2	Segmentierung	117
5.3.3	Die Vielzweck- und Segmentregister	120
5.3.4	Die Flags	125
5.3.5	Steuer- und Speicherverwaltungsregister	128
6	Programmierung und Betriebsarten	131
6.1	Codesegment und Befehlszähler	131
6.2	Stacksegment und Stack-Zeiger	133
6.3	Datensegment DS und Adressierung	134
6.4	Adressierungsarten und Befehlskodierung	135
6.4.1	Programmierung auf Prozessorebene: Mnemonics und der Assembler	135
6.4.2	Adressierungsarten	136
6.4.3	Befehlskodierung	137
6.4.4	Einlesen von Befehlen und Prefetching	139
6.5	Der Real Mode, High-Memory-Area und HIMEM.SYS	141
6.6	Interrupts und Exceptions	143
6.6.1	Software-Interrupts	143
6.6.2	Hardware-Interrupts	145
6.6.3	Exceptions	146

6.7	Der Protected Mode	148
6.7.1	Segmentselektoren, Segmentdeskriptoren und Privilegierungsstufen	148
6.7.2	Globale und lokale Deskriptortabelle	154
6.7.3	Umschalten in den Protected Mode	157
6.7.4	Speicheradressierung im Protected Mode	157
6.7.5	Steuerungübergabe und Call Gates	158
6.7.6	Die Interrupt-Deskriptortabelle	162
6.7.7	Multitasking, TSS und das Task Gate	164
6.7.8	Schutz des I/O-Adressraums	167
6.7.9	Exceptions und Schutzmechanismen im Protected Mode	170
6.8	Paging	171
6.8.1	Logische, lineare, physikalische Adressen und Paging	172
6.8.2	Page Directory, Page Tables und Page Frames	173
6.8.3	Die Testregister TR6 und TR7	178
6.9	Der Virtual-8086-Modus	180
6.9.1	Virtuelle Maschinen und Virtual-8086-Monitor	180
6.9.2	Adressen im Virtual 8086 Mode	181
6.9.3	Einstieg in den und Ausstieg aus dem Virtual 8086 Mode	181
6.9.4	Tasks im Virtual 8086 Mode	182
7	Schnell zwischengespeichert – Caching	187
7.1	Cache-Prinzip und Cache-Strategien	187
7.2	Cache-Organisation und Assoziativspeicher	190
7.3	Cache-Treffer-Bestimmung und optimale Cache-Größe	193
7.4	Ersetzungsstrategien	195
7.5	On-Chip und Second-Level-Caches	196
7.6	Cache-Kohärenz und das MESI-Protokoll	197
7.6.1	Die vier MESI-Zustände	198
7.6.2	MESI-Zustandsübergänge	199
7.6.3	L2-Cache-Subsysteme und MESI-Cache-Kohärenzprotokoll	201
7.7	Pipelined Burst Cache	203
8	Alles in Einem – Der i486	205
8.1	Anschlüsse und Signale des i486	206
8.2	Der interne Aufbau des i486	212
8.3	RISC- oder CISC ?	214
8.3.1	Die Mikrokodierung	214
8.3.2	Reduzierung auf das Wesentliche	218
8.3.3	RISC-Kennzeichen auf Hardware-Ebene	219
8.3.4	RISC-Kennzeichen auf Software-Ebene	225
8.4	Die Pipeline	227
8.5	Der On-Chip-Cache	229
8.6	Unterschiede und Gemeinsamkeiten von i486 und 80386/80387	231
8.6.1	Unterschiede in Registerstrukturen	231
8.6.2	Unterschiede in der Speicherverwaltung	233
8.6.3	i486-Reset	234
8.6.4	Der i486-Real-Mode	235
8.6.5	Der i486-Protected-Mode	235
8.6.6	Der i486-Virtual-8086-Mode	235
8.6.7	Integer-Core und Gleitkommaeinheit	235
8.6.8	FPU-Exceptions	236

8.6.9	Der Translation Lookaside Buffer (TLB)	236
8.7	Der i486-Bus	237
8.7.1	Burst-Zyklen	237
8.7.2	Sonderzyklen	238
8.7.3	Invalidierungszyklen	239
8.8	Testfunktionen	240
8.8.1	Der Interne Selbsttest BIST	240
8.8.2	Prüfung des TLBs	240
8.8.3	Prüfung des On-Chip-Caches	241
8.8.4	Tristate-Testmodus	243
8.8.5	Der JTAG-Boundary-Scan-Test	243
8.9	Der I/O-Adressraum des i486	248
9	Coprozessoren und 386/486-CPU-Derivate	249
9.1	Mathematische Coprozessoren	249
9.1.1	Zahlenexkurs – die Darstellung von Gleitkommazahlen	251
9.1.2	Der Standard – IEEE-Formate	254
9.1.3	Funktionsweise und Aufbau	256
9.1.4	Die Exceptions des 80387	263
9.1.5	Protected Mode und die Speicherabbilder der Befehls- und Datenzeiger	264
9.2	386-Prozessororderivate	266
9.2.1	Abmagerungskur – Die SX-Varianten der Prozessoren	266
9.2.2	386-CPU's anderer Hersteller	268
9.2.3	Cyrix-386-Prozessoren (486xLC)	270
9.2.4	386- und 486-CPU's in der Übersicht	271
9.3	486-Prozessororderivate	272
9.3.1	i486SX und i487SX	272
9.3.2	i486SX-Upgrade – der i487SX	275
9.3.3	Die i486DX2-Prozessoren mit interner Taktverdopplung	278
9.3.4	Der i486DX4	280
9.3.5	Weitere 486-CPU's	286
10	Der Pentium	291
10.1	Anschlüsse und Signale	292
10.2	Interner Aufbau des Pentiums	306
10.2.1	Die Integer-Pipelines u und v	307
10.2.2	Befehlsparung in den Integer-Pipelines	310
10.2.3	Die Gleitkomma-Pipeline	313
10.2.4	Befehlsserialisierung	316
10.2.5	Dynamische Verzweigungsvorhersage, Branch Prediction Logic	316
10.2.6	Die Pentium-On-Chip-Caches	318
10.3	Pentium-Kompatibilität	323
10.3.1	Erweiterungen der Pentium-Register	323
10.3.2	Modellspezifische Register	325
10.3.3	Das Feature-Steuerregister TR12	326
10.3.4	Der Pentium Real Mode	327
10.3.5	Der Pentium-Protected Mode	327
10.3.6	Der Pentium-Virtual-8086-Mode	327
10.3.7	Pentium und Paging	330
10.3.8	Debug-Erweiterungen	330
10.3.9	Pentium-Reset, Pentium-Init und Selbsttest	330

10.3.10	CPU-Identifizierung mit CPUID	333
10.3.11	Neue Pentium Exceptions	334
10.4	Der Pentium-Bus	334
10.4.1	Einzeltransferzyklen	335
10.4.2	Burst-Zyklen	335
10.4.3	Pentium-Adress-Pipelining	338
10.4.4	Sonderzyklen	339
10.4.5	Abfragezyklen und internes Snooping	340
10.4.6	Interne Pentium-Buspuffer	340
10.5	Der System-Management-Mode des Pentium	341
10.5.1	Die SMM-RAM-Struktur	341
10.5.2	Programmausführung im System-Management-Mode	343
10.5.3	Rückkehr aus dem System-Management-Mode	344
10.6	Code-Optimierungen	344
10.6.1	Einfache Straight-Forward-Optimierungen	344
10.6.2	Optimierung mit dem Performance Monitoring	346
10.7	Pentium-Testfunktionen	349
10.7.1	Der Pentium JTAG Boundary Scan Test	349
10.7.2	Erfassung interner Fehler	350
10.7.3	Erfassung von Busfehlern	351
10.7.4	Programmausführungsverfolgung oder Execution Tracing	352
10.7.5	Hardware-Debug-Unterstützung und Probe Mode	352
10.7.6	Die Machine Check Exception	353
10.8	Der Pentium-I/O-Adressraum	353
10.9	Dual Processing	353
10.9.1	Allgemeine Dual-Processing-Struktur mit zwei Pentium-Prozessoren	354
10.9.2	Bus-Arbitrierung	355
10.9.3	Cache-Konsistenz	355
10.9.4	On-Chip-APICs	356
10.10	Pentium der dritten Generation – MMX	358
10.10.1	Socket und Signale	359
10.11	MMX-Technologie	360
10.11.1	SIMD- und MMX-Datentypen	361
10.11.2	MMX-Register	362
10.11.3	MMX-Befehle	363
11	Pentium-kompatible Mikroprozessoren	365
11.1	CPUs von Cyrix	365
11.1.1	Der Cyrix 6x86	365
11.1.2	Der Cyrix 6x86MX	384
11.2	CPUs von AMD	386
11.2.1	Der K5 – 5x86	386
11.2.2	Der AMD K6	398
11.2.3	AMD-K6-II und AMD K6-III mit Super Socket 7	399
11.3	IDT WinChip C6	401
11.4	CPU-Übersicht und Einstellungsdaten	402
12	Reine 32-Bit-Technologie – Der PentiumPro	405
12.1	Anschlüsse und Signale	406
12.2	Interner Aufbau	419
12.2.1	Die funktionalen Einheiten des PentiumPro	419

12.2.2	Befehls-Pool und Micro-Ops	421
12.2.3	Die L1- und L2-Caches	423
12.3	PentiumPro-Features	423
12.3.1	Befehle	423
12.3.2	Steuerfunktionen in CR4	424
12.3.3	Der 36-Bit-Adressbus	425
12.3.4	Globale Pages	428
12.4	Modellspezifische Register	428
12.4.1	Die Bereichsregister für den Speichertyp (MTRR)	430
12.4.2	Die Konfigurationsregister	434
12.4.3	Die Machine-Check-Architektur	436
12.4.4	Performance Monitoring	437
12.4.5	Debug-Unterstützung durch modellspezifische Register	440
12.5	Reset und Einschaltkonfiguration	441
12.6	Der Bus des PentiumPro	443
12.6.1	Busphasen	443
12.6.2	Busarbitrierung	445
12.6.3	Deferred-Transaktionen	447
12.6.4	Bus-Pipelining und PentiumPro-Bursts	448
12.7	Multiprozessorbetrieb	449
12.8	CPUID	449
13	Pentium II, Pentium III und Celeron	453
13.1	Pentium II	453
13.1.1	Anschlüsse und Signale	454
13.1.2	Der Pentium II-Bus (GTL+)	459
13.2	Der Celeron	461
13.2.1	Anschlüsse und Signale	462
13.2.2	Der Celeron für den Sockel 370	462
13.3	Der Pentium III	464
13.3.1	Familienbande	464
13.3.2	Pentium III für den Sockel 370	465
13.3.3	Anschlüsse und Signale	465
13.4	Der Celeron III	467
13.5	Der Cyrix III	468
13.6	CPU-Einstellungsdaten	468
14	Der Athlon	471
14.1	Das Busprotokoll	473
14.2	Anschlüsse und Signale	473
14.3	Interner Aufbau	482
14.4	Athlons für den Sockel A	483
14.4.1	Anschlüsse und Signale	484
Teil 3: Speicher, Chipsets und Support-Chips		489
15	Speicherchips – Das Gedächtnis der Computer	489
15.1	Klein und billig – DRAM	490
15.1.1	Aufbau und Funktionsweise	491
15.1.2	Lesen und Schreiben von Daten	493
15.1.3	Schichtenstrukturen	498
15.1.4	Auffrischung des DRAMs	500

15.1.5	Verschiedene Organisationsformen der DRAM-Chips	501
15.1.6	Betriebsmodi der DRAM-Chips	503
15.2	Speichermodule	509
15.2.1	Parität	511
15.2.2	DIM-Module	512
15.2.3	Synchronous Dynamic RAM – SDRAM und DDR-RAM	514
15.2.4	Synchronous Graphic RAM – SGRAM	515
15.2.5	RAMBus	516
15.3	Schnell und teuer – SRAM	517
15.3.1	Das Flip-Flop	518
15.3.2	Der Zugriff auf SRAM-Speicherzellen	520
15.3.3	Ein typischer SRAM	521
15.4	Langzeitgedächtnis – ROM, EPROM und andere Speicher	522
15.4.1	ROM	522
15.4.2	EPROM	522
15.4.3	EEPROM	525
15.4.4	Flash-Speicher	526
16	Chipsets.....	531
16.1	486-PCI-Chipset.....	532
16.2	Intel Pentium-Chipsets für den Sockel 7	533
16.3	Alternative Sockel 7-Chipsets	538
16.4	PentiumPro- und Pentium II-Chipsets.....	540
16.5	Pentium II/III- und Celeron-Chipsets	544
16.5.1	Intel 810-Chipset – Whitney –	545
16.5.2	Intel 820-Chipset – Camino –	548
16.5.3	Intel 840-Chipset – Carmel –	550
16.5.4	Intel 815-Chipset – Solano –	550
16.5.5	Chipsets unterschiedlicher Hersteller	551
16.6	Athlon-Chipsets.....	552
16.7	Eine kleine Orientierungshilfe.....	554
17	Hardware-Interrupts und DMA.....	555
17.1	Hardware-Interrupts und der programmierbare Interrupt-Controller	555
17.1.1	Interrupt-getriebener Datenaustausch und Polling	555
17.1.2	Anschlüsse und Signale des 8259A	557
17.1.3	Innerer Aufbau und Interrupt-Acknowledge-Sequenz.....	558
17.1.4	Kaskadierung	561
17.1.5	Initialisierung und Programmierung	563
17.1.6	Maskierung des NMIs	571
17.1.7	Multiprozessor-Interrupt-Subsysteme.....	573
17.2	Direkter Speicherzugriff mit Peripherie und Speicher	576
17.2.1	Der Standard-DMA-Chip 8237A	578
18	CMOS-RAM und Echtzeituhr.....	601
18.1	Aufbau und Programmierung	602
18.1.1	Der Zugriff über das BIOS	610
18.1.2	Der Zugriff über Adress- und Datenregister	611

19	Der Timer und weitere Peripheriechips	613
19.1	Der programmierbare Intervall-Timer.....	613
19.1.1	Anschlüsse und Signale.....	615
19.1.2	Programmierung des 8253/8254.....	616
19.1.3	Systemuhr.....	625
19.2	Motherboard-Peripherieeinheiten.....	628
19.2.1	Super I/O-Controller.....	629
19.2.2	Supervisory-Chips.....	630
Teil 4: Personalcomputer-Architekturen und -Bussysteme		635
20	Die 8-Bit-Architektur des PC/XT	635
20.1	Die Komponenten und ihr Zusammenwirken.....	635
20.2	DMA-Architektur.....	640
20.2.1	8-Bit-Kanäle.....	641
20.2.2	Speicherauffrischung.....	642
20.2.3	Speicher-Speicher-Transfer.....	643
20.3	I/O-Kanal und Busslots.....	643
21	Die 16-Bit-Architektur	647
21.1	Die Komponenten und ihr Zusammenwirken.....	647
21.2	DMA-Architektur.....	653
21.2.1	8- und 16-Bit-Kanäle.....	653
21.2.2	Speicherauffrischung.....	655
21.2.3	Speicher-Speicher-Transfers.....	655
21.3	I/O-Kanal und Busslots.....	656
21.4	AT-Busfrequenzen und ISA-Bus.....	660
22	Die EISA-Architektur	661
22.1	EISA-Busstruktur.....	662
22.2	Busarbitrierung.....	664
22.3	DMA-Architektur.....	665
22.4	Interrupt-Subsystem.....	667
22.5	EISA-Timer und Fail-Safe-Timer.....	669
22.6	I/O-Adressraum.....	669
22.7	CMOS-RAM.....	670
22.8	EISA-Adapter und automatische Konfigurierung.....	673
22.9	EISA-Slots.....	674
22.10	EISA-Signale.....	676
23	Der Mikrokanal	679
23.1	MCA-Busstruktur.....	679
23.2	Busarbitrierung.....	681
23.3	Speichersystem.....	683
23.4	DMA.....	684
23.5	Interrupts.....	684
23.6	MCA-Timer und Fail-Safe-Timer.....	684
23.7	I/O-Ports und I/O-Adressraum.....	685
23.8	MCA-Adapter und automatische Konfigurierung.....	686
23.9	MCA-Slots.....	689
23.10	MCA-Signale.....	691

24	Der VESA Local Bus (VLB)	697
24.1	VLB-Busstruktur	697
24.2	Buszyklen	699
24.2.1	Burst-Zyklen	700
24.2.2	16-Bit-Transfers	700
24.2.3	64-Bit-Transfers	701
24.2.4	Unterstützung von Write-Back Caches	703
24.3	Busarbitrierung	703
24.4	DMA und Interrupts	704
24.5	I/O-Adressraum	704
24.6	VLB-Slots	705
24.7	VLB-Signale	706
24.7.1	Standard-32-Bit-Abschnitt	707
24.7.2	64-Bit-Erweiterung	710
25	Der PCI-Bus	711
25.1	PCI-Busstruktur	712
25.2	Buszyklen	714
25.3	Busarbitrierung	719
25.4	DMA und Busmastering	720
25.4.1	Scatter Gather Bus Mastering	721
25.5	Interrupts	721
25.6	I/O-Adressraum	722
25.7	Konfigurationsadressraum	724
25.8	PCI-Slots	732
25.9	PCI-Signale	735
25.9.1	Standard-32-Bit-Abschnitt	735
25.9.2	64-Bit-Erweiterung	738
25.10	PCI-spezifische BIOS-Routinen	739
25.10.1	Das Interface zum BIOS	741
25.10.2	Die Funktion <code>pci_bios_present</code>	742
25.10.3	Die Funktion <code>find_pci_device</code>	743
25.10.4	Die Funktion <code>find_pci_class_code</code>	744
25.10.5	Die Funktion <code>read_configuration_area</code>	745
25.10.6	Eine universelle PCI-Unit	747
26	ISA-Plug&Play	763
26.1	Was heißt hier Plug&Play?	763
26.2	Der Konfigurationsmechanismus	764
26.2.1	Linear Feedback Shift Register	767
26.2.2	Isolation-Protokoll	769
26.3	ISA-Plug&Play-Register	770
26.4	Der Zugriff auf ISA-Plug&Play-Devices	775
27	Accelerated Graphics Port und 3D-Grafik	777
27.1	AGP-Struktur	777
27.2	AGP-Signale	779
27.3	AGP-Slots	784
27.4	AGP-Transfers	785
27.5	3D-Grafik mit dem AGP	785
27.5.1	Zusammenarbeit von CPU und 3D-Chip	788

Teil 5: Massenspeicher und ihre Schnittstellen	793
28 Disketten und Diskettenlaufwerke	793
28.1 Grundlage magnetischer Datenaufzeichnung – Ferromagnetismus und Induktion	793
28.1.1 Diamagnetismus und Paramagnetismus	793
28.1.2 Ferromagnetismus	794
28.1.3 Induktion	797
28.2 Aufbau und Funktionsweise von Disketten und Diskettenlaufwerken	797
28.3 Die physikalische Organisation von Disketten	803
28.4 Die logische Organisation von Disketten und Festplatten unter DOS	806
28.4.1 Logische Sektoren	806
28.4.2 Die Partition	807
28.4.3 Der Bootsektor	810
28.4.4 Das Stammverzeichnis	812
28.4.5 Die Unterverzeichnisse	816
28.4.6 Die Dateizuordnungstabelle oder FAT	818
28.5 Zusammenspiel: Controller und Laufwerke	822
28.5.1 Gibt es bei Diskettenlaufwerken einen Abschlusswiderstand?	825
28.5.2 Die Entstehung von Geisterverzeichnissen	826
28.6 Aufzeichnungsformate und CRC	827
28.6.1 Sektorlayout	827
28.6.2 FM und MFM	829
28.6.3 CRC – Mir entgeht nichts	832
28.6.4 Für Interessierte – Scheinbar verblüffende Eigenschaften der CRC-Codes und was dahintersteckt	837
28.7 Programmierung von Diskettenlaufwerken	840
28.7.1 Zugriff über den BIOS-Interrupt INT 13h	844
28.8 Der Diskettenlaufwerkscontroller und seine Register	847
28.8.1 Die Register des Diskettencontrollers	849
28.8.2 Befehle und Befehlsphasen	851
28.8.3 Laufwerkdaten festlegen	859
28.8.4 Fehlerbehebungsstrategie	861
29 Festplatten	863
29.1 Aufbau und Funktionsweise von Festplatten	863
29.1.1 Platten	865
29.1.2 Köpfe	866
29.1.3 Aktuator mit Schritt- oder Linearmotor	869
29.1.4 Luftfilterung und Belüftung	872
29.1.5 Interleaving oder Sektorversatz	873
29.1.6 Ein paar Anmerkungen zu den Daten von Festplatten	875
29.2 Aufzeichnungsformate	878
29.2.1 MFM und RLL	879
29.2.2 Translation und Zonenaufzeichnung	881
29.2.3 High-Level-Formatierung von Festplatten mit FORMAT	882
29.2.4 Low-Level-Formatierung und Bad-Sector-Mapping	882
29.3 Festplattenschnittstellen	883
29.3.1 ST412/506-Schnittstellen und die Verbindung zwischen Laufwerk und Controller	883
29.3.2 Die ESDI-Schnittstelle	886

29.3.3	Laufwerke mit IDE, AT-Bus oder ATA-Schnittstelle	886
29.3.4	Enhanced IDE	899
30	SCSI	903
30.1	SCSI-Bus und die Anbindung an den PC	903
30.1.1	Busphasen und Messages	907
30.2	Programmierung und Befehlsphasen	912
30.3	Die verschiedenen SCSI-Standards	921
30.3.1	SCSI-I und der CCS	921
30.3.2	SCSI-II	922
30.3.3	SCSI-III	922
30.3.4	Fast SCSI	923
30.3.5	Wide SCSI	923
30.3.6	Differential SCSI	923
30.3.7	Ultra SCSI	924
30.3.8	Ultra 2 SCSI	924
30.3.9	Ultra 160 SCSI	925
31	Optische Massenspeicher	927
31.1	CD-ROM	927
31.1.1	ATAPI	930
31.2	CD-R und CD-R/W	932
31.2.1	CD-RW und die Phase-Change-Technologie	933
31.3	Magnetooptische Laufwerke	934
31.4	Digital Versatile Disc	936
31.4.1	DVD-Laufwerke	938
31.4.2	Video und Regional-Codes	939
Teil 6: Externes und Peripheres		941
32	Die parallele Schnittstelle	941
32.1	Primäre Aufgabe: Drucken	942
32.1.1	Drucken über den BIOS-Interrupt INT 17h	943
32.1.2	Aufbau, Funktionsweise und die Verbindung mit Druckern	945
32.1.3	Direkte Programmierung der Register	948
32.2	Allgemeine Belegung und Verwendung	951
32.3	Der bessere Parallel-Port: IEEE-1284	954
33	Die serielle Schnittstelle	961
33.1	Serielle und asynchrone Datenübertragung	961
33.2	Die RS-232C-Schnittstelle	965
33.3	Verbindung mit Druckern und Nullmodem	971
33.4	Zugriff über DOS	974
33.5	Zugriff über das BIOS	975
33.6	Die UARTs 8250/16450/16550	978
34	Tastatur, Maus und Joystick	997
34.1	Die Tastatur	997
34.1.1	Aufbau und Funktionsweise von Tastaturen	997
34.1.2	Scancodes – Die Landkarte Ihrer Tastatur	999
34.1.3	Tastaturzugriff über DOS	1003
34.1.4	Tastaturzugriff über das BIOS	1004
34.1.5	Direkte Tastaturprogrammierung über Ports	1010

34.2	Die Maus	1019
34.2.1	Aufbau und Funktion	1020
34.2.2	Maustreiber und Mausschnittstelle	1020
34.2.3	Programmierung	1022
34.2.4	Die PS/2-Maus	1025
34.3	Der Joystick	1028
35	Universal Serial Bus	1029
35.1	Anschlüsse und Signale	1030
35.2	Identifizierung und Datenübertragung	1032
36	Lokale Netzwerke	1035
36.1	Netztopologien	1035
36.1.1	Bustopologie	1036
36.1.2	Ringtopologie	1037
36.1.3	Sterntopologie	1037
36.2	Zugriffsverfahren	1038
36.2.1	CSMA/CD	1038
36.2.2	Token-Passing	1039
36.2.3	Token-Bus	1040
36.2.4	100BaseVG-Any-LAN	1041
36.2.5	Asynchron Transfer Mode	1041
36.3	Ethernet	1041
36.3.1	Thick Ethernet	1042
36.3.2	CheaperNet oder Thin Ethernet	1042
36.3.3	Ethernet mit Twisted-Pair-Kabel	1042
36.3.4	Fast Ethernet und Gigabit Ethernet	1043
36.4	Token Ring	1044
36.5	FDDI	1045
36.6	Repeater, Hubs, Switches und Gateways	1046
36.6.1	Repeater	1046
36.6.2	Hubs	1046
36.6.3	Switches	1047
36.6.4	Bridges	1048
36.6.5	Router	1048
36.6.6	Brouter	1048
36.6.7	Gateways	1049
37	Grafikadapter	1051
37.1	Darstellung von Bildern auf einem Monitor und allgemeiner Aufbau von Grafikadaptern	1051
37.2	Bildschirmdarstellung und Grafiksteuerchip	1054
37.2.1	Der Videocontroller 6845	1055
37.2.2	Zeichenerzeugung im Textmodus	1057
37.2.3	Zeichenerzeugung und freie Grafiken im Grafikmodus	1060
37.2.4	Allgemeines zu Organisation und Aufbau des Video-RAMs	1060
37.3	Die wichtigsten Adaptertypen und ihre Besonderheiten	1064
37.3.1	MDA – alles grau in grau	1065
37.3.2	CGA – es werde bunt	1066
37.3.3	Hercules – der unpassende Standard	1067
37.3.4	EGA – feiner und farbiger	1068
37.3.5	VGA – kunterbunt	1072

37.3.6	VESA Modi – hochauflösende Standards	1075
37.3.7	Windows Accelerators	1077
37.3.8	TIGA	1079
37.4	Der Zugriff auf Grafikadapter	1080
37.4.1	Zugriff über das BIOS	1081
37.4.2	Die Grafikroutinen des Standard-BIOS	1081
37.4.3	EGA- und VGA-BIOS	1083
37.4.4	VESA-BIOS	1087
37.4.5	Zugriff auf den Bildspeicher	1089
37.5	Ein Grafikbeschleuniger – Trio64V	1098
37.5.1	Anschlüsse und Signale	1098
37.5.2	Aufbau einer Trio64V+-Grafikkarte	1103
37.5.3	Der Streams-Prozessor	1105
Anhang		1109
A	ASCII- und Tastencodes	1109
A.1	ASCII-Tabelle	1109
A.2	Tastencodes (deutsche Tastaturbelegung)	1112
B	Interrupts und DMA	1115
B.1	Hardware-Interrupts	1115
B.2	Software-Interrupts	1116
B.3	DMA	1118
C	Der Zugriff auf Schnittstellen	1119
C.1	Die Druckerschnittstelle	1119
C.1.1	Die DOS-Funktionen	1119
C.1.2	Die BIOS-Funktionen	1120
C.1.3	Druckerstatusbyte	1120
C.2	Die serielle Schnittstelle	1121
C.2.1	Die DOS-Funktionen	1121
C.2.2	Die BIOS-Funktionen	1122
C.2.3	Übertragungsstatus	1124
C.2.4	Modemstatus	1125
C.2.5	Parameterbyte	1125
C.2.6	Modemsteuerregister	1125
D	Der Zugriff auf Tastatur und Maus	1127
D.1	Die Tastatur	1127
D.1.1	DOS-Funktionen	1127
D.1.4	Erstes Umschaltstatusbyte	1132
D.1.5	Zweites Umschaltstatusbyte	1132
D.2	Der Maus-Interrupt 33h	1132
D.2.1	Die Funktionen des INT 33h	1132
D.2.2	Tastenbyte	1137
D.3	PS/2-Mausunterstützung über BIOS-Interrupt INT 15h, Funktion c2h	1138
D.3.1	Die Unterfunktionen des INT 15h, Funktion c2h	1138
D.3.2	Statusbyte	1140
D.3.3	Mauspaket auf dem Stack	1141

E	Die Befehle der (E)IDE-Schnittstelle (ATA)	1143
E.1	Befehle im Detail	1145
F	Die SCSI-Befehle	1161
F.1	Befehlsliste	1161
F.2	SCSI-Befehle für Plattenlaufwerke	1164
F.2.1	6-Byte-Befehle	1165
F.2.2	10-Byte-Befehle	1179
F.2.3	Statusschlüssel	1192
F.2.4	Zusätzliche Statuscodes	1193
F.3	SCSI-Befehle für andere Geräteklassen (Bandlaufwerke bis Kommunikationsgeräte)	1195
F.3.1	Befehle für Bandlaufwerke (Streamer, Code 01)	1195
F.3.2	Befehle für Drucker (Code 02)	1196
F.3.3	Befehle für Prozessorgeräte (Code 03)	1196
F.3.4	Befehle für WORM-Laufwerke (einmal beschreibbar, Code 04)	1197
F.3.5	Befehle für CD/DVD-ROM-Laufwerke (Code 05)	1198
F.3.6	Befehle für Scanner (Code 06)	1199
F.3.7	Befehle für optische Speicher (Code 07)	1200
F.3.8	Befehle für Medienwechsler (Medium Change Devices, Code 08)	1201
F.3.9	Befehle für Kommunikationsgeräte (Code 09)	1202
F.4	Die ASPI-Schnittstelle	1202
F.4.1	Die ASPI-Funktionen	1203
F.4.2	Der SCSI-Request-Block	1203
F.4.3	Die ASPI-Funktionen	1203
F.4.4	Der SCSI-Request-Block	1203
G	Glossar	1209
	Stichwortverzeichnis	1269