

# Rechnerarchitekturen

**CPUs, Systeme,  
Software-Schnittstellen**

Mit 215 Bildern  
10 Tabellen  
42 Beispielen



**Fachbuchverlag Leipzig**  
im Carl Hanser Verlag

# Inhaltsverzeichnis

<b>1</b>	<b>Einführung</b>	<b>1</b>
1.1	Begriffsbildung und Definition	1
1.1.1	Moderner Rechnerarchitekturbegriff	1
1.1.2	Das Begriffsmodell	2
1.1.3	Nutzung des Begriffsmodells	4
1.2	Organisation des Buches	5
1.2.1	Kapitelübersicht	5
1.2.2	Organisation der Website	7
1.3	Computing-Trends	8
<b>2</b>	<b>Geschichte des Computers</b>	<b>11</b>
2.1	Historische Rechenmaschinen	11
2.1.1	Mechanische Vierspezies-Maschinen	11
2.1.2	Charles Babbage und die Difference Engine	13
2.2	Der Weg zum Computer	16
2.2.1	Babbage und die Analytical Engine	16
2.2.2	Die Rechner Z1 und Z3 von Konrad Zuse	18
2.2.3	Der Harvard Mark I	21
2.2.4	ENIAC	22
2.2.5	EDVAC	24
2.2.6	EDSAC und Manchester Mark I	24
2.2.7	Erste Schritte zum kommerziellen Universalrechner	25
2.3	Historisch bedeutende Universalrechnerfamilien	26
2.3.1	Die IBM-Großrechnerfamilien	28
2.3.2	Die CDC-Großrechnerfamilie	30
2.3.3	Die Minicomputer DEC PDP-11 und VAX 11/780	32
2.4	Der Mikroprozessor	35
2.4.1	Die Vorgeschichte	35
2.4.2	Der erste Mikroprozessor	36
2.4.3	Vom Mainframe zum Mikroprozessor	38
2.5	Internet und World Wide Web	40
<b>3</b>	<b>Rechner-Klassifikation</b>	<b>43</b>
3.1	Der klassische Universalrechner	43

3.1.1	Grundeigenschaften	43
3.1.2	Arbeitsweise	46
3.1.3	Leistungsengpässe	48
3.2	Rechnerklassifikation nach Flynn	48
3.2.1	SISD-Rechner	49
3.2.2	SIMD-Rechner	50
3.2.3	Einordnung von Vektorprozessoren	54
3.2.4	MISD-Rechner	54
3.2.5	MIMD-Rechner	55
3.3	ECS-Klassifikation	56
3.3.1	ECS-Tripel	57
3.3.2	Rechner mit Nebenläufigkeit	58
3.3.3	Rechner mit Pipelining	60
3.3.4	Komplexe ECS-Beschreibungsbeispiele	63
3.4	Beschreibungshilfsmittel	66
3.4.1	Die Strukturbeschreibungssprache PMS	67
3.4.2	Rechnerbeschreibung mit AuCSPaC	68
3.5	Evolution von Rechnerarchitekturen	70
<b>4</b>	<b>VLSI-Design</b>	<b>75</b>
4.1	VHDL als Grundlage der Hardware-Beschreibung	75
4.1.1	Sprachkonzept und Entwurfsprozess	76
4.1.2	VHDL-Sprachelemente	78
4.1.3	Ereignisgesteuerte Simulation	83
4.1.4	Synthese mit VHDL	85
4.2	Weiterentwicklung der Siliziumtechnologie	85
4.3	Phasen einer modernen Prozessorentwicklung	87
4.3.1	Definition des Hardware/Software-Interface	87
4.3.2	Technologiespezifikationen	89
4.3.3	Modellierung auf Register-Transfer-Level	90
4.3.4	Schematic Design und Verifikation	90
4.3.5	Layout und Schaltkreisverifikation	91
4.4	Wechselwirkungen zwischen Technologie und Architektur	91
4.4.1	Technologische Weiterentwicklung der Laufzeiten	91
4.4.2	Auswirkungen für Architekturen	92
4.4.3	Zusammenhang zwischen Flächenbedarf, Rechenzeit und Verlustleistung	94
4.5	Integration von Testmethoden	96
4.5.1	Fehlermodelle	96

4.5.2	Design for Testability	97
4.5.3	Built-In Self Test	98
4.5.4	Weitere Testmethoden	98
<b>5</b>	<b>Leit- und Rechenwerke</b>	<b>99</b>
5.1	Einleitung	99
5.2	Hardwaregrundlagen	100
5.2.1	Schaltnetze und programmierbare logische Felder	101
5.2.2	Implementation sequenzieller Automaten	104
5.3	Modellleitwerk	108
5.4	Rechenwerke	109
5.4.1	Addierer und Subtrahierer	110
5.4.2	Parallele Multiplizierer	115
5.4.3	Serielle Multiplizierer	118
5.4.4	Dividierer	124
5.4.5	Gleitkomma-Addierer	127
5.5	Leitwerke	131
5.5.1	Mikrobefehle und Mikroprogramme	132
5.5.2	Mikrobefehlserzeugung	136
5.5.3	Entwurfsbeispiel für ein festverdrahtetes Leitwerk	141
5.5.4	Entwurfsbeispiel für ein mikroprogrammiertes Leitwerk	143
5.5.5	Steuerung eines Gleitkomma-Addierers	145
5.6	Prozessorleitwerk	146
5.6.1	DLX-Prozessorarchitektur	147
5.6.2	Zustandsdiagramm des DLX-Leitwerks	150
5.6.3	Mikrobefehlssatz des DLX (Auszug)	152
<b>6</b>	<b>Befehlssatzarchitekturen</b>	<b>155</b>
6.1	ISA-Varianten	155
6.1.1	CISC-Befehlssatzarchitekturen	156
6.1.2	Die Geburtsstunde der RISC-Technologie	157
6.1.3	CISC und RISC wachsen zusammen	158
6.1.4	SIMD-Erweiterungen für Multimedia	160
6.1.5	Expliziter Parallelismus und VLIW-ISAs	161
6.1.6	Multithreading und Multiprocessing	163
6.2	Befehlsformate	164
6.2.1	Informationen im Befehlswort	165
6.2.2	Adress-Modelle	166
6.2.3	Länge des Befehlswortes	167

6.3	Fallstudie: RISC-ISAs	168
6.3.1	Schnittstelle zur Mikroarchitektur	168
6.3.2	Befehlsformat der Compaq Alpha-CPUs	169
6.3.3	Datentypen und Registersatz	171
6.3.4	Alpha-Befehle	173
6.4	Fallstudie: IA-32-ISA	174
6.4.1	CISC-Befehlsformat der IA-32	174
6.4.2	Schnittstelle zur P5-Mikroarchitektur	177
6.4.3	Schnittstelle zur P6-Mikroarchitektur	177
6.4.4	Pentium-4-Schnittstelle	178
6.4.5	IA-32-Datentypen	179
6.4.6	IA-32-Befehlsvorrat	181
6.4.7	IA-32-Ein-/Ausgabe-Organisation	182
6.4.8	IA-32-Interrupts und Exceptions	183
6.5	Fallstudie: IA-64-ISA	184
6.5.1	IA-64-Befehlswort (Bundle)	185
6.5.2	Format der IA-64-Einzelbefehle	186
6.5.3	IA-64-Registersatz	187
6.5.4	IA-64-Registerstack	189
6.5.5	IA-64-Befehlsvorrat	190
6.5.6	IA-64-Gleitkomma- und Numerik-ISA	191
6.6	SIMD-Befehle	192
6.6.1	MMX-Technologie	192
6.6.2	SSE und verwandte Ansätze	193

## **7 Mikroarchitekturen 197**

7.1	Phasenpipeline-Mikroarchitektur	197
7.1.1	Befehlsverarbeitung und Pipelinestruktur	199
7.1.2	Pipelinevarianten	200
7.1.3	Pipeline-Implementierung	201
7.1.4	Interrupt-Behandlung in RISC-artigen Phasenpipelines	204
7.1.5	Leistungssteigerung	204
7.1.6	Arithmetische Pipelines und Vektorprozessor-Mikroarchitekturen	209
7.2	Management von Daten- und Ressourcen-Konflikten	210
7.2.1	Auflösung von Datenkonflikten durch verzögerten Speicherzugriff	210
7.2.2	Auflösung von Ressourcenkonflikten	210
7.2.3	Auflösung von Datenkonflikten in Rechenwerk und Funktionseinheiten	211

7.3	Konflikte bei Verzweigungsbefehlen	212
7.3.1	Zustandsänderungen in der Pipeline	212
7.3.2	Branch Prediction	215
7.3.3	Sprungvorhersage-Verfahren	216
7.3.4	Mehrstufige Vorhersageverfahren	220
7.4	Superskalare Mikroarchitekturen	222
7.4.1	In-Order-Execution	222
7.4.2	Out-of-Order-Execution	224
7.4.3	Out-of-Order-Befehlsverarbeitung	224
7.4.4	Anforderungen an die Steuerung	227
7.4.5	Konfliktauflösung	229
7.5	Superskalare Beispielarchitekturen	231
7.5.1	Fallstudie: Alpha 21264 und 21364	231
7.5.2	Fallstudie: Intel P6-Mikroarchitektur	233
7.5.3	Fallstudie: AMD-Athlon	236
7.5.4	Fallstudie: Intel Pentium 4 (Willamette)	237
7.6	SIMD-Parallelismus für Multimedia	239
7.7	VLIW-Techniken	240
7.7.1	VLIW-Mikroarchitektur	240
7.7.2	VLIW-Auswirkungen auf den Hard- und Softwareaufwand	241
7.8	EPIC-Mikroarchitekturen	241
7.8.1	EPIC-Mikroarchitektur-Eigenschaften	242
7.8.2	Intel Itanium	244
7.8.3	IA-64-Bewertung	247
7.9	Multithreading-Architekturen	248
7.9.1	Multithreading-CPU's	248
7.9.2	Aktuelle Multithreading-Ansätze	249
<b>8</b>	<b>Cache- und Hauptspeicherorganisation</b>	<b>253</b>
8.1	Speicherhierarchie	253
8.1.1	Prozessorkern	254
8.1.2	Level-2- und Level-3-Cache	255
8.1.3	Hauptspeicherzugriff	255
8.1.4	Systembus und Systembus-Controller	256
8.2	Cache-Systeme	256
8.2.1	Cache-Hierarchien	256
8.2.2	Aufgaben von Caches	259
8.3	Cache-Organisation	259
8.3.1	Cache-Dimensionierung	260

8.3.2	Voll-assoziative Organisation	261
8.3.3	Direkt abbildende Organisation	262
8.3.4	$n$ -Wege-assoziative Organisation	265
8.3.5	Trace Cache	267
8.4	Cache-Implementierungsaspekte	270
8.4.1	Zusammenspiel von Cache-Hierarchie und Hauptspeicher	270
8.4.2	Cache-Ersetzungsstrategien	272
8.4.3	Cache-Adressierung	273
8.5	Systemaspekte beim Cache-Entwurf	274
8.5.1	Verringerung der Speicherzugriffszeit	275
8.5.2	Hard- und Software-Prefetching	276
8.5.3	Nebenläufigkeit auf Befehlsebene	277
8.5.4	Cache-Einsatz in Multiprozessoren	278
8.6	Hauptspeicher	283
8.6.1	DRAM-Speicherchips	283
8.6.2	DRAM-Varianten	285
8.6.3	Hauptspeicher-Organisation	287
8.7	Virtueller Speicher und Speicherhierarchien	288
8.7.1	Anforderungen an das Betriebssystem	288
8.7.2	Verwaltung des virtuellen Speichers	289
8.8	Fallstudie: Adressübersetzung bei IA-32-Prozessoren	290
8.8.1	Segmentierung	291
8.8.2	Schnittstelle zum Betriebssystem	292
8.8.3	Paging	292
8.8.4	Intel Pentium Pro, Pentium II und III	294
8.9	Fallstudie: Adressübersetzung bei IA-64-Prozessoren	294
8.9.1	IA-64-Adressraum	294
8.9.2	Ablauf der Adressübersetzung	296
<b>9</b>	<b>Bushierarchie und E/A-System</b>	<b>299</b>
9.1	Hierarchische Busorganisation	299
9.1.1	Bustypen und Busprotokolle	300
9.1.2	Busse für Level-2- und Level-3-Caches	301
9.1.3	Systembus	303
9.1.4	Chipsets	303
9.1.5	Lokale Peripheriebusse	303
9.1.6	Peripheriebus und E/A-Geräte-Ansteuerung	304
9.2	Systembus-Schnittstelle	304

9.2.1	Schreib- und Lesezyklen	305
9.2.2	Sonderzyklen und Cache-Protokollzyklen	307
9.3	CPU-nahe Peripheralschnittstellen	307
9.3.1	Schnittstellen zu Grafiksystemen	308
9.3.2	PCI-Bus	309
9.3.3	EISA/ISA	311
9.3.4	Andere Standardbusse	312
9.3.5	Busunterstützung für Multiprozessoren	312
9.4	Unterstützung durch Chipsets	313
9.4.1	Evolution von Chipset-Architekturen	313
9.4.2	Chipsets für Multiprozessor-Server	315
<b>10</b>	<b>Compiler-Schnittstelle</b>	<b>317</b>
10.1	Compiler	317
10.1.1	Software/Hardware-Wechselwirkungen	318
10.1.2	Optimierende Compiler	319
10.1.3	Optimierungsmöglichkeiten	320
10.2	Compiler für Standard-Phasenpipeline-Architekturen	320
10.2.1	Compilerstruktur	320
10.2.2	Registerbehandlung	321
10.2.3	Globale Optimierung	325
10.2.4	Low-level-Optimierung	325
10.3	Compiler für Superskalararchitekturen	326
10.3.1	Static Branch Prediction	326
10.3.2	Code- und Datenanordnung	326
10.3.3	Unterstützung für SIMD-Nebenläufigkeit	327
10.4	VLIW-Compiler	328
10.5	EPIC-Compiler	329
10.5.1	Expliziter Parallelismus	329
10.5.2	Spekulation	331
10.5.3	Predication	334
10.5.4	Weitere IA-64-Eigenschaften	335
10.5.5	Organisation der IA-64-Compiler	336
<b>11</b>	<b>Parallelverarbeitung</b>	<b>339</b>
11.1	Aspekte der Parallelverarbeitung	340
11.1.1	Betrachtungsebenen	340
11.1.2	Anforderungen und Ziele	343
11.1.3	Hardware-Struktur und Effizienz	345
11.1.4	Softwareproblematik	346
11.2	Parallelrechner-Typen	347



11.2.1	Leistungssteigerung durch SIMD	347
11.2.2	Leistungssteigerung durch MIMD	350
11.2.3	Skalierbare MIMD-Systeme	351
11.3	Speichergekoppelte Multiprozessoren	352
11.3.1	UMA- und SMP-Architekturen	352
11.3.2	NUMA- und VSM-Architekturen	353
11.3.3	Softwareaspekte	353
11.4	Nachrichtengekoppelte Multiprozessoren	354
11.5	Kommunikationsstrukturen	355
11.5.1	Topologien für UMA-Systeme	356
11.5.2	Topologien massiv-paralleler Systeme	357
11.5.3	Kommunikationsschnittstellen	358
11.6	Synchronisation	360
11.6.1	Synchronisation speichergekoppelter Multiprozessoren	360
11.6.2	Fallstudie: Synchronisation bei Alpha-Multiprozessoren	361
11.6.3	Kommunikation und Synchronisation bei nachrichtengekoppelten Systemen	362
11.7	Routing in Parallelrechnern	364
<b>12</b>	<b>Parallele Software</b>	<b>367</b>
12.1	Anwendungsbereiche für Parallelrechner	367
12.1.1	Numerische Simulation	367
12.1.2	Andere Anwendungen	370
12.2	Fallstudie: Crashtest-Simulation	371
12.2.1	Grundlagen	371
12.2.2	Parallelisierung	372
12.2.3	Probleme	374
12.3	Parallelisierungstechniken	375
12.3.1	Der Entwurfszyklus paralleler Programme	375
12.3.2	Parallelisierung von Software	375
12.4	Programmierung von Parallelrechnern	380
12.4.1	Implizite Parallelverarbeitung	381
12.4.2	Semi-implizite Parallelisierung	383
12.4.3	Explizite parallele Programmierung mit Speicherkopplung	388
12.4.4	Explizite parallele Programmierung durch Nachrichtenaustausch	390
12.4.5	Verteilte objektorientierte Programmierung	396
12.5	Software-Werkzeuge für die parallele Programmierung	400

12.5.1	Programmanalyse	400
12.5.2	Parallelisierung und Programmierung	402
12.5.3	Test, Debugging und Leistungsanalyse	403
12.5.4	Anwendung und Optimierung	407
12.6	Parallelrechner-Benchmarks	408
12.6.1	Linpack	409
12.6.2	NAS Parallel Benchmarks	410
12.6.3	Parkbench	411
12.6.4	SPEC-Benchmarks	411
12.7	Zusammenfassung	412
<b>13</b>	<b>Parallelrechner</b>	<b>415</b>
13.1	Parallele Server-Architekturen	415
13.1.1	SMP-Server auf Intel-Xeon-Basis	415
13.1.2	Starfire-Architektur von SUN	418
13.1.3	IBM SP2	420
13.1.4	IBM Power4	422
13.2	Cray T3D und T3E	425
13.2.1	Cray T3D	426
13.2.2	Cray T3E	428
13.3	SGI Origin	428
13.3.1	Origin2000-Knoten- und Modulstruktur	429
13.3.2	Interconnection Fabric	430
13.4	NEC SX-5	430
13.4.1	SX-5-Prozessor-Architektur	430
13.4.2	Vektor-Multiprozessor-Konfigurationen	431
13.5	Hitachi SR8000	432
13.5.1	Systemstruktur des Hitachi SR8000 F1	432
13.5.2	Softwareschnittstelle	433
13.6	Forschungsprojekte	434
13.6.1	Überblick	434
13.6.2	ASCI-Initiative	435
13.6.3	IBM Blue Gene	437
<b>A</b>	<b>Anhang A - Leistungsbewertung</b>	<b>439</b>
A.1	Kompakte Leistungsmodelle	439
A.1.1	MIPS-Zahlen	441
A.1.2	Programmabhängiges Leistungsmodell	441
A.1.3	FLOPS, OPS und TOPS	442
A.2	Leistungsmaße bei Parallelarbeit	443
A.2.1	Speedup	443

A.2.2	Effizienz	444
A.2.3	Amdahlsches Gesetz	444
A.2.4	Worlton-Modell	445
<b>Literaturverzeichnis</b>		<b>447</b>
<b>Sachwortverzeichnis</b>		<b>461</b>