

# **Einführung in die Rechnerarchitektur**

## **Prozessoren und Systeme**

von Prof. Dr. Christian Märtin

mit 44 Bildern, 39 Beispielen und einer CD-ROM



**Fachbuchverlag Leipzig**  
im Carl Hanser Verlag

# INHALTSVERZEICHNIS

## 1 IM WETTLAUF MIT MOORE'S LAW 10



- 1.1 Moderner Rechnerarchitekturbegriff 11**
- 1.2 Der Weg zum Universalrechner 13**
- 1.3 Struktur und Funktion des klassischen Universalrechners 16**
  - 1.3.1 Grundeigenschaften 16
  - 1.3.2 Arbeitsweise 17
  - 1.3.3 Leistungsgpässe 18

## 2 RECHNERKLASSIFIKATION UND -EVOLUTION 19



- 2.1 Klassifikationsschemata 19**
  - 2.1.1 Taxonomie nach Flynn 19
  - 2.1.2 ECS-Taxonomie nach Händler 20



- 2.2 Relevante Computerklassen 24**
  - 2.2.1 Klassischer Universalrechner 24
  - 2.2.2 SIMD-Systeme 24
  - 2.2.3 Pipeline-Prozessoren 24
  - 2.2.4 Superskalar-Prozessoren 26
  - 2.2.5 VLIW- und EPIC-Prozessoren 27
  - 2.2.6 Multithreading-Prozessoren 30
  - 2.2.7 Speichergekoppelte Multiprozessoren 32
  - 2.2.8 Nachrichtengekoppelte Multiprozessoren 34



- 2.3 Architekturevolution 36**
  - 2.3.1 Evolutionsebenen 36
  - 2.3.2 Technologie 36
  - 2.3.3 Evolutionsfelder 36
  - 2.3.4 Zeitlicher Aspekt 37
  - 2.3.5 Wechselwirkungen 38



- 2.4 Alternative Rechnerarchitekturen 38**
  - 2.4.1 Datenflussrechner 38
  - 2.4.2 Rekonfigurierbare Rechnerarchitekturen 40
  - 2.4.3 DNA-Computer und molekulares Rechnen 44
  - 2.4.4 Quantencomputer 45

## 3 RECHENWERKE UND LEITWERKE 49



- 3.1 Aufbau und Funktion von Rechenwerken 49**
  - 3.1.1 Addierwerke 50
  - 3.1.2 Multiplizierwerke 52
  - 3.1.3 Rechenwerkstypen 54



- 3.2 Aufbau und Funktion von Leitwerken 56**
- 3.2.1 Realisierung von Leitwerken 58
- 3.2.2 Festverdrahtete Steuerung 59
- 3.2.3 Prozessorsteuerung durch Mikroprogrammierung 60

## 4 RECHNER-LEISTUNGSBEWERTUNG 62

## 5 RECHNERENTWURF 65



- 5.1 Technologisches Umfeld 66**
- 5.1.1 ITRS Roadmap 66
- 5.1.2 Weiterentwicklung der Transistoren 68
- 5.1.3 Verbindungsleitungen 70
- 5.1.4 Energieeffizienz 71



- 5.2 Designebenen und Entwurfssprachen 74**
- 5.2.1 Designebenen 74
- 5.2.2 Sprachen für Modellierung und Entwurf 76

## 6 BEFEHLSATZARCHITEKTUREN (ISA) 79



- 6.1 ISA-Grundlagen 79**
- 6.1.1 CISC-Befehlssatzarchitekturen 79
- 6.1.2 RISC-Befehlssatzarchitekturen 80
- 6.1.3 ISA-Erweiterungen für Multimedia, Sicherheit und Anwendungsoptimierung 82
- 6.1.4 Expliziter Parallelismus und VLIW-ISAs 82
- 6.1.5 Multithreading 83



- 6.2 Befehlsformate 83**
- 6.2.1 Informationen im Befehlswort 83
- 6.2.2 Adress-Modelle 84
- 6.2.3 Länge des Befehlswortes 86

- 6.3 ISA-Fallstudien 87**
- 6.4 Ein-/Ausgabe-Organisation und Interrupts 87**
- 6.4.1 IA-32-Ein-/Ausgabe-Organisation 87
- 6.4.2 IA-32-Interrupts und Exceptions 88

## 7 MIKROARCHITEKTUREN 90



- 7.1 Phasenpipeline-Mikroarchitekturen 91**
- 7.1.1 Befehlsverarbeitung und Pipelinestrukturen 91
- 7.1.2 Pipeline-Implementierung 93
- 7.1.3 Pipelinekonflikte 98
- 7.1.4 Konflikte bei Verzweigungsbefehlen 101
- 7.1.5 Branch Prediction 102
- 7.1.6 Sprungvorhersage-Verfahren 104
- 7.1.7 Mehrstufige Vorhersageverfahren 106



## 7.2 Mikroarchitekturen mit nebenläufiger Befehlsausführung 107

- 7.2.1 In-Order-Execution 108
- 7.2.2 Dynamic Instruction Scheduling 109
- 7.2.3 Anforderungen an die Steuerung 110
- 7.2.4 Konfliktauflösung in Superskalararchitekturen 111
- 7.2.5 VLIW-Mikroarchitekturen 114
- 7.2.6 EPIC-Mikroarchitekturen 114
- 7.2.7 SMT-Multithreading-Mikroarchitekturen 115
- 7.2.8 On-Chip Multiprocessing 118



## 7.3 Beispiel-Prozessoren 118

- 7.3.1 HP/Compaq Alpha 21264 und 21364 119
- 7.3.2 Intel NetBurst-Mikroarchitektur 120
- 7.3.3 AMD Opteron (Hammer-Mikroarchitektur) 123
- 7.3.4 Intel Itanium 2 124
- 7.3.5 IBM Power4 128



## 8 CACHE UND HAUPTSPEICHER 131



### 8.1 Gesamtstruktur 131

- 8.1.1 Komponenten des Speichersystems 131
- 8.1.2 Zusammenspiel der Teilkomponenten beim Speicherzugriff 134



### 8.2 Caches 135

- 8.2.1 Voll-assoziative Cache-Organisation 136
- 8.2.2 Direkt abbildende Organisation 138
- 8.2.3  $n$ -Wege-assoziative Organisation 140
- 8.2.4 Trace-Cache-Organisation 142
- 8.2.5 Cache-Ersetzungsstrategien 142
- 8.2.6 Leistungssteigerung durch Cache-Einsatz 143
- 8.2.7 Cache-Einsatz in Multiprozessor- und Multimaster-Systemen 146



### 8.3 Hauptspeicher 148

- 8.3.1 DRAM-Speicherchips 148
- 8.3.2 Hauptspeicher-Organisation 151



### 8.4 Virtueller Speicher und Speicherhierarchien 152

- 8.4.1 Gesamtübersicht über die virtuelle Adressierung 152
- 8.4.2 Segmentierung 154
- 8.4.3 Paging 155

### 8.5 Systemsicht auf Externspeichermedien 158

- 8.5.1 Multimedia-Anwendungen und Externspeichermedien 158
- 8.5.2 RAID 158

## 9 BUSSYSTEM 160



### 9.1 Busgrundlagen 161

9.1.1 Busstruktur 161

9.1.2 Bus-Entwurfskriterien 162

### 9.2 Systembus 163

9.2.1 L2-Cache-Bus 164

9.2.2 Schreib- und Lesezyklen 164

9.2.3 Sonderzyklen und Cache-Protokollzyklen 167

### 9.3 Bus-Standards 167

9.3.1 PCI-Bus 167

9.3.2 Andere Standardbusse 167

9.3.3 Busunterstützung für Multiprozessor-Betrieb 168



## 10 PARALLELRECHNER 169



### 10.1 Aspekte der Parallelverarbeitung 169

10.1.1 Workstation-Cluster und Blade-Server 170

10.1.2 Internet und Grid-Infrastrukturen 170

10.1.3 Supercomputer mit Standardkomponenten 171

10.1.4 Fehlertoleranz und Zuverlässigkeit 172



### 10.2 Speichergekoppelte Multiprozessoren 172

10.2.1 UMA- und SMP-Architekturen 173

10.2.2 NUMA- und VSM-Architekturen 173

10.2.3 Softwareaspekte 174



### 10.3 Nachrichtengekoppelte Multiprozessoren 174

10.3.1 Message Passing 175

10.3.2 Programmierung 175

### 10.4 Kommunikationsaspekte 175

10.4.1 Topologien für UMA-Systeme 175

10.4.2 Topologien massiv-paralleler Systeme 176

10.4.3 Kommunikationsschnittstellen 176



### 10.5 Routing in Parallelrechnern 180

### 10.6 Parallele Beispielarchitekturen 181

10.6.1 Parallele Architekturen auf IA-32- und x86-64-Basis 181

10.6.2 Sun Fire 182

10.6.3 Alpha 21364-Multiprozessor-Topologie 183

10.6.4 Parallele Server mit IBM Power4-CPU's 184

10.6.5 Multiprozessoren auf Itanium-2-Basis 185

10.6.6 Extreme Multiprozessoren für die Forschung 186

## LITERATURVERZEICHNIS 189

## SACHWORTVERZEICHNIS 192