

Hans-Joachim Wunderlich

# Hochintegrierte Schaltungen: Prüfgerechter Entwurf und Test

Mit 391 Abbildungen und 52 Tabellen

Springer-Verlag  
Berlin Heidelberg New York  
London Paris Tokyo  
HongKong Barcelona

# Inhaltsverzeichnis

|          |   |           |
|----------|---|-----------|
| <b>1</b> | <b>Einleitung</b> .....   | <b>1</b>  |
| 1.1      | Das Testproblem für hochintegrierte Schaltungen .....   | 1         |
| 1.2      | Teststrategien .....  | 2         |
| 1.3      | Zum Aufbau des Buches .....   | 4         |
| <br>     |   |           |
| <b>2</b> | <b>Technologische Grundlagen</b> .....  | <b>10</b> |
| 2.1      | Fertigungsprozesse und Fehlermechanismen .....  | 10        |
|          | 2.1.1 Bipolare Schaltungen 11 - 2.1.2 MOS-Techniken 13 - 2.1.3 Fehlermechanismen 17 - 2.1.3.1 Punktuelle Defekte 17 - 2.1.3.2 Systematische Defekte 23 - 2.1.4 Die Prozeßüberwachung 24 - 2.1.5 Die Prozeßvalidierung 25                |           |
| 2.2      | Ausbeutemodelle .....   | 30        |
|          | 2.2.1 Das Poissonmodell 31 - 2.2.2 Ungleichmäßige Fehlerdichten 31 - 2.2.3 Das Stapper-Modell 34 - 2.2.4 Das Produktmodell 35   |           |
| 2.3      | Der Test .....  | 38        |
|          | 2.3.1 Der Pre-Test 39 - 2.3.2 Der Prototyp-Test 39 - 2.3.2.1 Die Schaltungscharakterisierung 40 - 2.3.2.2 Diagnoseverfahren 40 - 2.3.3 Der Produktionstest 48 - 2.3.3.1 Arbeitsschritte beim Produktionstest 48 - 2.3.3.2 Testgeräte 49 |           |
| 2.4      | Die Produktqualität .....   | 51        |
| <br>     |   |           |
| <b>3</b> | <b>Schaltungs- und Fehlermodellierung</b> .....   | <b>54</b> |
| 3.1      | Ebenen der Schaltungsmodellierung .....   | 54        |
| 3.2      | Die Layout-Ebene .....  | 58        |
|          | 3.2.1 Struktur und Verhalten 58 - 3.2.2 Induktive Fehleranalyse 60 - 3.2.2.1 Qualitative Analyse 61 - 3.2.2.2 Analyse des Verhaltens 64 - 3.2.2.3 Quantitative Analyse 64   |           |

|          |   |            |
|----------|---|------------|
| 3.3      | Die Schalterebene . . . . .   | 65         |
| 3.4      | Die Gatterebene . . . . .   | 75         |
|          | 3.4.1 Schaltungsmodellierung als Graph 76 - 3.4.2 Bauelementefunktionen 80 - 3.4.3 Fehlermodelle auf Gatterebene 85 - 3.4.3.1 Das Haftfehlermodell 85 - 3.4.3.2 Fehlerreduktion 88 - 3.4.3.3 Komplexe kombinatorische Funktionsfehler 93 - 3.4.3.4 Übergangsfehler 98 - 3.4.3.5 Fehler in dynamischen MOS-Schaltungen 105 - 3.4.3.6 Verzögerungsfehler 110 - 3.4.3.7 Kurzschlußfehler 111 |            |
| <b>4</b> | <b>Fehlersimulation . . . . .</b>   | <b>117</b> |
| 4.1      | Prinzip der Logiksimulation . . . . .   | 118        |
|          | 4.1.1 Simulationsebenen 118 - 4.1.2 Modellierung des Zeitverhaltens der Schaltglieder 119 - 4.1.3 Simulationsarten 124 - 4.1.3.1 Compilierte Simulation 125 - 4.1.3.2 Tabellengesteuerte Simulation 127 - 4.1.3.3 Ereignisgesteuerte Simulation 130   |            |
| 4.2      | Klassische Verfahren der Fehlersimulation . . . . .   | 134        |
|          | 4.2.1 Parallele Fehlersimulation 135 - 4.2.1.1 Repräsentation der Fehler 135 - 4.2.1.2 Fehlerinjektion 136 - 4.2.2 Deduktive Fehlersimulation 138 - 4.2.2.1 Fehlerlisten 138 - 4.2.2.2 Listenereignisse 140 - 4.2.3 Nebenläufige Fehlersimulation 143   |            |
| 4.3      | Innovative Simulationsverfahren . . . . .   | 145        |
|          | 4.3.1 Fehlererkennung und boolesche Differenzen 146 - 4.3.2 Gebietsanalyse 149 - 4.3.3 Parallele Musterbehandlung 155   |            |
| 4.4      | Komplexität der Fehlersimulation . . . . .  | 161        |
| 4.5      | Approximative Verfahren . . . . .   | 166        |
|          | 4.5.1 Kritische Pfade 166 - 4.5.2 Pessimistische und optimistische Approximation 168 - 4.5.3 Parallele Approximation 173 - 4.5.4 Bewertung großer Testmengen 176  |            |
| 4.6      | Simulation von Verzögerungs- und Übergangsfehlern . . . . .   | 180        |
|          | 4.6.1 Einfache Verfahren mit paralleler Musterbehandlung 181 - 4.6.2 Erkennung dynamischer Fehler 182   |            |
| <b>5</b> | <b>Prüfpfad-Techniken . . . . .</b>   | <b>184</b> |
| 5.1      | Synchrone Schaltungen . . . . .   | 184        |
|          | 5.1.1 Speichernde Bauelemente 184 - 5.1.2 Taktschemata 189  |            |
| 5.2      | Prüfpfad für flankengesteuerte Elemente . . . . .   | 193        |
|          | 5.2.1 Das Prinzip des Prüfpfads 193 - 5.2.2 Flankengesteuerte Prüfpfadelemente 196  |            |

|          |   |            |
|----------|---|------------|
| 5.3      | LSSD: "Level-Sensitive Scan-Design" . . . . .                               | 197        |
|          | 5.3.1 LSSD-gerechte Speicherelemente 197 - 5.3.2 Die LSSD-Regeln 199        |            |
|          | - 5.3.3 Automatische Regelüberprüfung 202 - 5.3.4 LSSD-Konfigurationen      |            |
|          | 203   |            |
| 5.4      | Der Prüfbus ("Random Access Scan") . . . . .                                | 208        |
| 5.5      | "Scan/Set"-Logik . . . . .  | 210        |
| 5.6      | Auswirkungen der Prüfpfadtechnik auf Test und Systemfunktion .              | 211        |
| 5.7      | Standardisierung . . . . .  | 213        |
|          | 5.7.1 Baugruppentest 214 - 5.7.2 Boundary-Scan 215 - 5.7.3 Test Access      |            |
|          | Port 217  |            |
| <b>6</b> | <b>Der Test mit Zufallsmustern . . . . .</b>                                | <b>221</b> |
| 6.1      | Test mit linear rückgekoppelten Schieberegistern . . . . .                  | 222        |
|          | 6.1.1 Mustererzeugung 222 - 6.1.1.1 Zufallseigenschaften von Musterfolgen   |            |
|          | 222 - 6.1.1.2 Algebraische Grundlagen 225 - 6.1.1.3 Das charakteristische   |            |
|          | Polynom 229 - 6.1.1.4 Maximale Schieberegisterfolgen 231 - 6.1.1.5 Zu-      |            |
|          | fallseigenschaften maximaler Schieberegisterfolgen 234 - 6.1.2 Signaturana- |            |
|          | lyse 236 - 6.1.2.1 Testdatenkompression 236 - 6.1.2.2 Schaltungen zur       |            |
|          | Polynomdivision 238 - 6.1.2.3 Serielle Signaturanalyse 244 - 6.1.2.4 Feh-   |            |
|          | lermaskierungswahrscheinlichkeiten 245 - 6.1.2.5 Parallele Signaturanalyse  |            |
|          | 249   |            |
| 6.2      | Der Testaufbau . . . . .  | 254        |
| 6.3      | Testlängen . . . . .  | 256        |
| 6.4      | Signalwahrscheinlichkeiten . . . . .  | 265        |
|          | 6.4.1 Die Berechnung von Signalwahrscheinlichkeiten 268 - 6.4.2 Schät-      |            |
|          | zung von Signalwahrscheinlichkeiten 274 - 6.4.2.1 Statistische Verfahren    |            |
|          | 274 - 6.4.2.2 Berechnung von Intervallen 275 - 6.4.2.3 Analytische Verfah-  |            |
|          | ren 278 - 6.4.2.4 Effiziente Schätzverfahren 281                            |            |
| 6.5      | Fehlererkennungswahrscheinlichkeiten . . . . .                              | 284        |
|          | 6.5.1 Berechnung von Fehlererkennungswahrscheinlichkeiten 285 - 6.5.2       |            |
|          | Schätzung von Fehlererkennungswahrscheinlichkeiten 288                      |            |
| 6.6      | Ungleichverteilte Zufallsmuster . . . . .                                   | 291        |
|          | 6.6.1 Bestimmung optimierter Eingangswahrscheinlichkeiten 292 - 6.6.2       |            |
|          | Zufallstests mit mehreren Verteilungen 297 - 6.6.3 Testdurchführung mit     |            |
|          | ungleich verteilten Zufallsmustern 303                                      |            |
| <b>7</b> | <b>Deterministische Testerzeugung für Schaltnetze . . . . .</b>             | <b>309</b> |
| 7.1      | Klassische Verfahren . . . . .  | 310        |
|          | 7.1.1 Algebraische Verfahren 310 - 7.1.2 Pfadsensibilisierende Verfahren    |            |
|          | 314 - 7.1.2.1 Der Würfelkalkül 314 - 7.1.2.2 Testerzeugung durch Einzel-    |            |

|          |  |            |
|----------|--|------------|
|          | pfad-Sensibilisierung 317 - 7.1.2.3 D-Würfel 323 - 7.1.2.4 Der D-Algorithmus 328 - 7.1.3 Der indizierte D-Algorithmus 331  |            |
| 7.2      | Die Komplexität deterministischer Testerzeugung für Schaltnetze . . . . .  | 338        |
| 7.3      | Testbarkeitsmaße für den deterministischen Test . . . . .  | 343        |
| 7.4      | Innovative Testerzeugungsverfahren . . . . .   | 347        |
|          | 7.4.1 Testerzeugung als Suchverfahren 347 - 7.4.2 Heuristische Pfadwahl 349 - 7.4.3 Beschränkung des Suchraums 353   |            |
| 7.5      | Vollständige Testerzeugungsprogramme . . . . .   | 360        |
|          | 7.5.1 Testerzeugung und Fehlersimulation 360 - 7.5.2 Testsatzkompaktierung 362   |            |
| <b>8</b> | <b>Der pseudo-erschöpfende Test . . . . .</b>  | <b>364</b> |
| 8.1      | Das Prinzip des pseudo-erschöpfenden Tests . . . . .   | 364        |
| 8.2      | Schaltungssegmentierung . . . . .  | 367        |
|          | 8.2.1 Segmentierungsalgorithmen 367 - 8.2.2 Segmentierung durch Pfad-sensibilisierung 376 - 8.2.3 Hardware-Segmentierung 379 - 8.2.3.1 Multi-plexer-Partitionierung 379 - 8.2.3.2 Segmentierungszellen 381 |            |
| 8.3      | Pseudo-erschöpfende Testmengen . . . . .   | 383        |
|          | 8.3.1 Musterkompaktierung 385 - 8.3.2 Mustererzeugung 394 - 8.3.3 Testdurchführung 397   |            |
| 8.4      | Pseudo-erschöpfender Test für Übergangs- und Verzögerungsfehler . . . . .  | 398        |
| <b>9</b> | <b>Teststrategien für Schaltwerke . . . . .</b>  | <b>406</b> |
| 9.1      | Zur Komplexität des Schaltwerkstests . . . . .   | 406        |
| 9.2      | Deterministische Testerzeugung für Schaltwerke . . . . .   | 409        |
|          | 9.2.2 Der D-Algorithmus für Schaltwerke 411  |            |
| 9.3      | Azyklische Schaltwerksgraphen . . . . .  | 415        |
|          | 9.3.1 Vereinfachungen des Testproblems 415 - 9.3.2 Äquidistanz 423 - 9.3.3 Schaltungsmodifikationen 425 - 9.3.3.1 Erzeugung azyklischer S-Graphen 425 - 9.3.3.2 Erzeugung äquidistanter S-Graphen 434      |            |
| 9.4      | Erzeugung und Anwendung deterministischer Testmuster bei azyklischem S-Graph . . . . .   | 437        |
| 9.5      | Zufallstestbare Schaltwerke . . . . .  | 440        |
|          | 9.5.1 Gleichverteilte Zufallsmuster 440 - 9.5.2 Ungleichverteilte Zufalls-muster 442 - 9.5.3 Zeitunabhängige Gewichte 445  |            |
| 9.6      | Der pseudo-erschöpfende Test für Schaltwerke . . . . .   | 446        |

|                             |   |            |
|-----------------------------|---|------------|
| <b>10</b>                   | <b>Selbsttestbare Schaltungen</b> .....   | <b>452</b> |
| 10.1                        | Gespeicherter Selbsttest .....  | 453        |
|                             | 10.1.1 Testprogramme 453 - 10.1.2 Kompaktierung der Testprogramme<br>457  |            |
| 10.2                        | Multifunktionale Testregister .....   | 459        |
|                             | 10.2.1 Testregister zur Erzeugung gleichverteilter Zufallsmuster 461 -<br>10.2.1.1 Built-in Logic Block Observer (BILBO) 461 - 10.2.1.2 Testregi-<br>ster auf der Basis modularer linear rückgekoppelter Schieberegister 463 -<br>10.2.2 Testregister zur Erzeugung ungleichverteilter Zufallsmuster 465 -<br>10.2.2.1 Aufbau der Testregister 465 - 10.2.2.2 Zufallseigenschaften 469 -<br>10.2.2.3 Rundung der Eingangswahrscheinlichkeiten 470 - 10.2.2.4 Ver-<br>drahtungsproblem 472 - 10.2.3 Register zur Erzeugung deterministisch be-<br>stimmter Muster 474 - 10.2.4 Register zur Erzeugung pseudo-erschöpfender<br>Testmengen 476 |            |
| 10.3                        | Plazierung multifunktionaler Testregister .....   | 481        |
|                             | 10.3.1 Reduktion auf Schaltnetze 482 - 10.3.2 Reduktion auf Schaltwerke<br>mit azyklischem S-Graphen 485 - 10.3.2.1 Erzeugung azyklischer Selbst-<br>test-Graphen 485 - 10.3.2.2 Gruppierung der Flipflops 489 - 10.3.2.3 An-<br>passung der Testregister an Schaltwerke 491  |            |
| 10.4                        | Testablaufplanung .....   | 493        |
| 10.5                        | Synthese der Selbstteststeuerung .....  | 499        |
| <b>11</b>                   | <b>Testverfahren für spezielle Strukturen</b> .....   | <b>505</b> |
| 11.1                        | PLAs .....  | 505        |
|                             | 11.1.1 Implementierung eines PLAs 505 - 11.1.2 Funktionsdarstellung<br>eines PLAs 508 - 11.1.3 Fehlermodellierung für PLAs 511 - 11.1.3.1 Haft-<br>fehler 512 - 11.1.3.2 Kreuzungspunktfehler 515 - 11.1.3.3 Brückenfehler<br>516 - 11.1.3.4 Abhängigkeiten zwischen den Fehlermodellen 518 - 11.1.4<br>Deterministische Testerzeugung für PLAs 519 - 11.1.5 Der Zufallstest für<br>PLAs 520 - 11.1.5.1 Fehlererkennungswahrscheinlichkeiten 520 - 11.1.5.2<br>Ungleichverteilte Zufallsmuster 524 - 11.1.5.3 Eine Beispielrechnung 525 -<br>11.1.6 Prüfgerechter Entwurf von PLAs 527  |            |
| 11.2                        | Test von Speicherfeldern .....  | 529        |
|                             | 11.2.1 Aufbau von Speicherfeldern 530 - 11.2.2 Fehlermodellierung für<br>RAMs 530 - 11.2.3 Testverfahren 532 - 11.2.3.1 Tests für Haftfehler 532 -<br>11.2.3.2 Tests für musterabhängige Fehler 534 - 11.2.4 Selbsttestbare<br>Speicherstrukturen 536 - 11.3 Ausblick 536   |            |
| <b>Literatur</b>            | .....   | <b>538</b> |
| <b>Stichwortverzeichnis</b> | .....   | <b>565</b> |