

# Schaltungen der Datenverarbeitung

Von Dr.-Ing. Klaus Waldschmidt  
Professor an der Universität Dortmund

Unter Mitwirkung  
von Dr.-Ing. Hans-Ulrich Post  
und Dipl.-Ing. Christoph Steigner  
Universität Dortmund

Mit 358 Bildern, 7 Tafeln  
und 40 Aufgaben



**B. G. Teubner Stuttgart 1980**

# Inhalt

<b>1 Technische Realisierung der logischen Funktionen</b> . . . . .	11
1.1 Positive und Negative Logik. . . . .	11
1.2 Logische Grundsaltungen. . . . .	12
1.2.1 Passive Grundsaltungen . . . . .	12
1.2.2 Aktive Grundsaltungen . . . . .	13
<b>2 Integrierte digitale Schaltkreisfamilien</b> . . . . .	14
2.1 Integrierte Schaltungen. . . . .	15
2.1.1 Die Dioden-Transistor-Logik (DTL) . . . . .	16
2.1.1.1 Grundsaltungen der DTL-Logik. . . . .	16
2.1.1.2 High-Noise-Immunity-Logik . . . . .	17
2.1.2 Die Transistor-Transistor-Logik (TTL). . . . .	17
2.1.2.1 Die Eingangsstufe . . . . .	18
2.1.2.2 Die TTL-Grundsaltung . . . . .	18
2.1.2.3 Übergangsverhalten . . . . .	19
2.1.2.4 Realisierung des UND-Gatters . . . . .	21
2.1.2.5 Realisierung des NOR-Gatters . . . . .	21
2.1.2.6 Realisierung des ODER-Gatters . . . . .	22
2.1.2.7 Der Expander . . . . .	22
2.1.2.8 Weiterentwicklungen des TTL-Grundgatters . . . . .	23
2.1.3 Die Schottky-TTL (STTL) . . . . .	24
2.1.4 Das TTL-Gatter mit offenem Kollektor . . . . .	25
2.1.5 Die Tri-State-Logik . . . . .	26
2.1.6 Die Low-Power-TTL . . . . .	26
2.1.7 Die Emitttergekoppelte Logik (ECL) . . . . .	26
2.1.7.1 Schaltung und logische Funktion des Grundgatters . . . . .	27
2.1.7.2 Elektrische Eigenschaften der ECL-Technik . . . . .	29
2.1.7.3 Weiterentwicklung der ECL Logik . . . . .	29
2.1.7.4 Expander. . . . .	30
2.1.7.5 Pegel-Wandler ECL/TTL und TTL/ECL . . . . .	30
2.1.7.6 Zusammenfassung . . . . .	30
<b>3 Großintegration</b> . . . . .	31
3.1 Die Integrierte Injektions-Logik ( $I^2L$ ) . . . . .	32
3.1.1 Das $I^2L$ -Grundgatter . . . . .	32
3.1.2 Logische Funktion des $I^2L$ -Gatters. . . . .	34
3.1.3 Eigenschaften der $I^2L$ -Technik. . . . .	35
3.1.3.1 Schaltzeit-Leistungsprodukt . . . . .	35

3.1.3.2	Komplexität . . . . .	35
3.1.3.3	Versorgungsspannung . . . . .	35
3.1.3.4	Geschwindigkeit . . . . .	35
3.2	Die MOS-Technik . . . . .	35
3.2.1	Der MOS-Transistor . . . . .	36
3.2.2	MOS-Technologien zur Herstellung integrierter Schaltungen . . . . .	38
3.2.3	Der Inverter als Grundbaustein der MOS-Logik . . . . .	38
3.2.3.1	Der statische Inverter . . . . .	41
3.2.3.2	Der dynamische Inverter . . . . .	44
3.2.3.3	Der CMOS-Inverter . . . . .	45
3.2.4	MOS-Logik . . . . .	45
3.2.4.1	Das MOS-Gatter . . . . .	45
3.2.4.2	CMOS-Schalter . . . . .	48
3.2.4.3	Kreuzgekoppelte Gatter . . . . .	49
3.3	Zusammenfassung . . . . .	49
<b>4</b>	<b>Flipflops und Zähler . . . . .</b>	<b>51</b>
4.1	Einleitung . . . . .	51
4.2	Flipflops . . . . .	51
4.2.1	Asynchrones RS-Flipflop . . . . .	51
4.2.2	Taktzustandgesteuerte Flipflops . . . . .	53
4.2.2.1	Getaktetes RS-Flipflop . . . . .	53
4.2.2.2	Getaktetes D-Flipflop . . . . .	53
4.2.3	Master-Slave-Flipflop (Taktflankengesteuerte Flipflops) . . . . .	55
4.2.3.1	Master-Slave RS-Flipflop . . . . .	00
4.2.3.2	Master-Slave JK-Flipflop . . . . .	55
4.2.3.3	Master-Slave D-Flipflop . . . . .	56
4.2.3.4	Master-Slave T-Flipflop . . . . .	57
4.2.3.5	Master-Slave Flipflop mit asynchronem Setz- und Rücksetzeingang . . . . .	57
4.3	Zähler . . . . .	58
4.3.1	Asynchrone Untersetzer . . . . .	58
4.3.2	Synchrone Untersetzer . . . . .	59
4.3.3	Asynchrone Zähler . . . . .	60
4.3.4	Synchrone Zähler . . . . .	60
4.4	Zusammenfassung . . . . .	62
<b>5</b>	<b>Arithmetisch-Logische Einheiten . . . . .</b>	<b>63</b>
5.1	Addition und Subtraktion von Dualzahlen . . . . .	65
5.1.1	Halb- und Volladdierer . . . . .	65
5.1.2	Serien- und Paralleladdierer . . . . .	68
5.1.2.1	Serienaddierer . . . . .	69
5.1.2.2	Serienaddierer mit Akkumulatorregister . . . . .	70
5.1.2.3	Paralleladdierer . . . . .	70
5.1.2.4	Volladdierer mit Übertrags-Vorausberechnung (carry look ahead) . . . . .	71
5.1.3	Subtrahierer . . . . .	73

5.2	Multiplikation von Dualzahlen . . . . .	76
5.2.1	Seriell-Paralleler Multiplizierer . . . . .	76
5.2.2	Paralleler Multiplizierer. . . . .	78
5.2.3	Multiplizierer für Zweikomplementzahlen . . . . .	81
5.3	Division von Dualzahlen . . . . .	82
5.3.1	Serieller Dividierer. . . . .	83
5.3.2	Paralleler Dividierer . . . . .	84
5.4	Organisatorische Operationen . . . . .	85
5.4.1	Verschiebungen von Registerinhalten . . . . .	86
5.4.2	Vergleiche von Datenworten . . . . .	87
5.4.2.1	Prüfung auf Gleichheit . . . . .	87
5.4.2.2	Größer-Kleiner-Vergleicher . . . . .	88
5.5	Zusammenfassung . . . . .	90
<b>6</b>	<b>Codierer und Datenwegschaltungen. . . . .</b>	<b>91</b>
6.1	Binäre Codierschaltnetze. . . . .	91
6.1.1	Der Decoder . . . . .	92
6.1.2	Der Encoder . . . . .	94
6.2	Datenwegschaltungen . . . . .	97
6.2.1	Multiplexer . . . . .	97
6.2.2	Demultiplexer. . . . .	100
6.2.3	Datenbus . . . . .	103
6.2.3.1	Bustreiber . . . . .	103
6.2.3.2	CMOS-Transmissiongate . . . . .	105
<b>7</b>	<b>Realisierungskonzepte für digitale Steuerwerke . . . . .</b>	<b>106</b>
7.1	Das festverdrahtete Steuerwerk . . . . .	106
7.2	Das Steuerwerk auf der Basis von programmierbaren logischen Einheiten (PLA) . . . . .	107
7.3	Das Steuerwerk auf der Basis von Halbleiterspeichern . . . . .	108
7.4	Das Steuerwerk auf der Basis von Mikroprozessoren. . . . .	110
7.5	Zusammenfassung . . . . .	111
<b>8</b>	<b>Halbleiterspeicher . . . . .</b>	<b>113</b>
8.1	Ortsadressierbare Speicher. . . . .	114
8.1.1	Adressierverfahren ortsadressierbarer Halbleiterspeicher . . . . .	115
8.1.1.1	Wortweise Adressierung . . . . .	115
8.1.1.2	Bitweise Adressierung. . . . .	115
8.1.2	Schreib-/Lesespeicher. . . . .	117
8.1.2.1	TTL-Speicherzelle . . . . .	117
8.1.2.2	Statische MOS-Speicherzelle . . . . .	118
8.1.2.3	Dynamische MOS-Speicherzelle . . . . .	120
8.1.2.4	Speicherorganisation von Schreib-/Lesespeichern. . . . .	121

8	Inhalt	
	8.1.3	Festwertspeicher . . . . . 124
	8.1.3.1	Irreversible Festwertspeicher . . . . . 124
	8.1.3.2	Reversible Festwertspeicher. . . . . 126
	8.2	Inhaltsadressierbare Speicher . . . . . 127
	8.3	Zusammenfassung . . . . . 129
<b>9</b>	<b>Mikroprogrammierte Schaltwerke</b>	<b>130</b>
	9.1	Synchrone Schaltwerke . . . . . 130
	9.2	Zusammenhang zwischen festverdrahteten Steuerwerken aus Logikgattern und mikroprogrammierten Steuerwerken . . . . . 131
	9.2.1	Das allgemeine Modell des synchronen Steuerwerks . . . . . 134
	9.2.2	Das Modell des mikroprogrammierten Steuerwerks . . . . . 135
	9.3	Methoden der Folgeadre�erzeugung . . . . . 137
	9.3.1	Folgeadre�erzeugung durch einen Bin�rzhler . . . . . 138
	9.3.2	Erzeugung der Folgeadresse durch das Mikroprogramm. . . . . 139
	9.3.3	Folgeadre�erzeugung durch interne Verkn�pfung von Eingangsvektor und Zustandsvektor . . . . . 140
	9.3.4	Folgeadre�erzeugung bei reagierenden Mikroprogrammsteuerwerken mit Hilfe externer Funktionseinheiten . . . . . 146
	9.3.4.1	Folgeadre�erzeugung mit einem Bin�rzhler . . . . . 146
	9.3.4.2	Auswahl des Eingangsvektors mit einem Multiplexer . . . . . 149
	9.3.4.3	Folgeadre�erzeugung durch Addition von Zweikomplementzahlen . 151
	9.3.4.4	Kombinationen der verschiedenen Folgeadre�erzeugungsverfahren . 153
	9.4	Methoden der Steuerwortauswertung . . . . . 154
	9.4.1	Horizontale und vertikale Auswertung des Steuerwortes . . . . . 155
	9.4.2	Aufteilung eines Steuerwortes in Wortfelder . . . . . 156
	9.4.3	Der Nanoprogrammspeicher . . . . . 158
	9.5	Der Zeitablauf im synchronen Mikroprogrammsteuerwerk. . . . . 159
	9.6	Mikroprogrammierbarer Rechner . . . . . 160
	9.7	Zusammenfassung . . . . . 161
<b>10</b>	<b>Struktur und Organisation eines Mikroprozessors</b>	<b>162</b>
	10.1	Einleitung . . . . . 162
	10.2	Die Struktur eines Mikroprozessors. . . . . 163
	10.3	Das Konzept eines Mikroprozessors. . . . . 164
	10.3.1	Die Register-ALU (RALU) . . . . . 164
	10.3.2	Erweiterung der RALU mit einem Testmultiplexer . . . . . 166
	10.3.2.1	Beispiel einer Betragsmultiplikation . . . . . 168
	10.3.3	Erg�nzung der RALU durch eine Zwischenspeicherung der �bertragungs- und Shift-Register-Bits . . . . . 169
	10.3.3.1	Beispiel einer 16 Bit-Multiplikation . . . . . 171
	10.3.4	Ein-Ausgabe-Register zur �bergabe von Daten an periphere Ger�te (Speicher, Datenstationen usw.) . . . . . 172

10.4	Der mikroprogrammierbare und der nicht-mikroprogrammierbare Mikroprozessor . . .	174
10.4.1	Die Holphase . . . . .	175
10.4.2	Die Ausführungsphase . . . . .	175
10.5	Bidirektionale Datenbussysteme . . . . .	175
10.6	Register für besondere Funktionen . . . . .	177
10.6.1	Der Stapelspeicher . . . . .	177
10.6.2	Das Indexregister . . . . .	178
10.7	Befehlstabelle für einen Mikroprozessor . . . . .	179
10.7.1	Eigenschaften der Mikroprozessorbefehle . . . . .	181
10.7.1.1	Arithmetisch-Logische Befehle . . . . .	181
10.7.1.2	Transfer-Befehle . . . . .	182
10.7.1.3	Sprungbefehle . . . . .	185
10.7.1.4	Unterprogramm-Programmierungstechnik . . . . .	186
10.7.1.5	Ein/Ausgabe- Programmierung . . . . .	188
10.8	Zusammenfassung . . . . .	191
<b>11</b>	<b>Analog/Digital- und Digital/Analog-Umsetzung . . . . .</b>	<b>193</b>
11.1	Einleitung . . . . .	193
11.2	Umsetzer-Codes . . . . .	194
11.2.1	Vorzeichenzahl . . . . .	195
11.2.2	Offset-Binary-Code . . . . .	195
11.2.3	Zwei-Komplement-Zahl . . . . .	195
11.3	Auflösung und Umsetzgeschwindigkeit . . . . .	196
11.4	Theorie zur Digital/Analog- und Analog/Digital-Umsetzung . . . . .	198
11.4.1	Digital/Analog-Umsetzung . . . . .	198
11.4.2	Analog/Digital-Umsetzung . . . . .	198
11.5	Parameter der Analog/Digital- und Digital/Analog-Umsetzer . . . . .	199
11.5.1	Auflösung . . . . .	199
11.5.2	Genauigkeit . . . . .	200
11.5.3	Nichtlinearität . . . . .	200
11.5.4	Differentielle Nichtlinearität . . . . .	200
11.5.5	Nicht-Monotonizität . . . . .	201
11.5.6	Nullpunktfehler . . . . .	201
11.5.7	Steilheitsfehler . . . . .	201
11.5.8	Vorwärtskopplung . . . . .	201
11.5.9	Umsetzzeit . . . . .	202
11.5.10	Umsetzgeschwindigkeit . . . . .	202
11.5.11	Verzögerungszeit . . . . .	202
11.5.12	Anstiegszeit . . . . .	202
11.5.13	Schaltzeit . . . . .	202
11.5.14	Einschwingzeit . . . . .	202
11.6	Konzepte zur Digital/Analog-Umsetzung . . . . .	203
11.6.1	Allgemeine Eigenschaften der Digital/Analog-Umsetzer . . . . .	203
11.6.2	Parallele Digital/Analog-Umsetzung . . . . .	204

11.6.2.1 Digital/Analog-Umsetzer mit binär gewichteten Widerständen . . . .	205
11.6.2.2 Digital/Analog-Umsetzer mit Kettenleiter . . . . .	205
11.6.2.3 Digital/Analog-Umsetzer mit eingespeisten Strömen . . . . .	206
11.6.3 Serielle Digital/Analog-Umsetzung . . . . .	207
11.6.4 Indirekte Digital/Analog-Umsetzung . . . . .	208
11.7 Konzepte zur Analog/Digital-Umsetzung . . . . .	208
11.7.1 Der Komparator . . . . .	209
11.7.2 Paralleler Analog/Digital-Umsetzer . . . . .	210
11.7.2.1 Parallel-Serieller Analog/Digital-Umsetzer . . . . .	210
11.7.3 Serieller Analog/Digital-Umsetzer . . . . .	211
11.7.4 Analog/Digital-Umsetzer mit Digital/Analog-Umsetzer in der Rückführung . .	212
11.7.4.1 Analog/Digital-Umsetzer nach dem Zählverfahren . . . . .	212
11.7.4.2 Analog/Digital-Umsetzer mit sukzessiver Approximation . . . . .	213
11.7.5 Indirekte Analog/Digital-Umsetzer . . . . .	214
11.7.5.1 Analog/Digital-Umsetzer nach dem Sägezahnverfahren . . . . .	214
11.7.5.2 Analog/Digital-Umsetzer nach dem Zwei-Rampen-Verfahren . . . . .	216
11.8 Aufbau eines analogen Meßsystems . . . . .	217
11.8.1 Abtast- und Haltekreis . . . . .	217
11.8.2 Einfluß der Amplituden- und Zeitquantisierung durch die Analog/Digital- Umsetzung . . . . .	218
11.8.2.1 Beschreibung des Übergangsverhaltens eines Abtast- und Halte- kreises . . . . .	218
11.8.2.2 Übertragungsfehler im Zeitbereich . . . . .	219
11.8.2.3 Übertragungsfehler im Frequenzbereich . . . . .	220
11.8.2.4 Umsetzfehler durch Amplitudenquantisierung . . . . .	220
11.9 Zusammenfassung . . . . .	221
<b>12 Beispiel zur Regelung eines chemischen Prozesses . . . . .</b>	<b>222</b>
<b>Anhang . . . . .</b>	<b>225</b>
<b>Übungsaufgaben . . . . .</b>	<b>225</b>
<b>Lösungen der Übungsaufgaben . . . . .</b>	<b>236</b>
<b>Literaturverzeichnis . . . . .</b>	<b>255</b>
<b>Sachverzeichnis . . . . .</b>	<b>258</b>