

GME-Fachbericht

8

Mikroelektronik

***Vorträge der GME-Fachtagung
4. bis 6. März 1991 in Baden-Baden***

*Wissenschaftliche Tagungsleitung:
Prof. Dr. G. Zimmer, Fraunhofer-Institut für Mikroelektronische
Schaltungen und Systeme, Duisburg (FhG-IMS)*

*Veranstalter:
VDE/VDI-Gesellschaft Mikroelektronik (GME)
gemeinsam mit der Informationstechnischen Gesellschaft
im VDE (ITG) sowie in Zusammenarbeit mit der Deutschen Sektion
des Institute of Electrical and Electronics Engineers (IEEE)*

vde-verlag gmbh · Berlin · Offenbach



Inhalt

1 Bild-, Sprach- und Tonverarbeitung

Neue Architekturen für die Signalverarbeitung

B. J. Hosticka, FhG-IMS, Duisburg 1

1.1 Bildverarbeitung I

1.1.1 Horizontale Bewegungsschätzung zur verbesserten 100-Hz-Konversion

A. Ibenthal, Philips Components, Hamburg 11

1.1.2 Dedicated VLSI Processors for Image Processing

G. Roos, E. Bernath, T. Büchner, T. Schwederski,
Institut für Mikroelektronik, Stuttgart; S. Rust, Universität Stuttgart 17

1.1.3 Ein hochparalleles Datenreduktionssystem für HDTV

V. Axelrad, S. Eckart, H. Plansky, H. Steckenbiller, H. Thurner, I. Ruge, Technische Universität München 23

1.1.4 150-MHz-ECL-Baustein für die digitale HDTV-Video-Signalverarbeitung

S. Wolf, M. Talmi, Heinrich-Hertz-Institut, Berlin; R. Ruschkowski, TU Berlin 29

1.2 Sprach- und Tonverarbeitung

1.2.1 Ein interpolativer A/D-Umsetzer für Bandpaßsignale in BiCMOS-Technik

H.-J. Dreßler, AEG-Olympia GmbH, Ulm; G. Tröster, Telefunken electronic, Heilbronn 35

1.2.2 Eine programmierbare Dreikanal-Hörgeräteschaltung in CMOS Niedervolttechnik

M. Mauthe, U. Kleine, Siemens AG, München; P. Linnert, Siemens Audiologische Technik GmbH, Erlangen;
G. Steeger, Georg-Simon-Ohm-Fachhochschule, Nürnberg 41

1.2.3 Ein Single-Chip Breitband CODEC mit interpolativen Umsetzern

W. Bradinal, P. Becker, Philips Components, Hamburg; R. Lerch, M. Lamkemeyer, H.-L. Fiedler,
FhG-IMS, Duisburg 47

1.2.4 Multi-Prozessor- und ASIC-Architektur für den Echtzeitbetrieb in der Spracherkennung

J. Jann, A. Aktas, Siemens AG, München 53

1.3 Signalprozessoren

1.3.1 KISS-16V1: Ein 16-Bit-Signalprozessor

J. Schuck, H. Ebert, J. Preissner, H. Sahn, D. Weinszier, K. Hellwig, H. Bauer, D. Lorenz,
Philips Kommunikations Industrie AG, Nürnberg 59

1.3.2 FFT-Implementierungen auf programmierbaren Signalprozessoren

R. Meyer, K. Schwarz, Universität Erlangen-Nürnberg, Erlangen 65

1.3.3 Die Motorola DSP56100 Familie

A. Straub, Motorola GmbH, München 71

1.3.4 Parallel-Processing VS Pipelining

U. Sieben, Intermetall GmbH, Freiburg 77

1.3.5 Hardware-Algorithmen und Architektur für die arithmetikintensive Signalverarbeitung

D. Timmermann, H. Hahn, B. Rix, B. J. Hosticka, FhG-IMS, Duisburg 83

1.4 Bildverarbeitung II

1.4.1 1-chip-Videoprozessor für Bildkommunikationsanwendungen

R. P. Loos, TELENORMA GmbH, Frankfurt 89

1.4.2 Defekttoleranter systolischer Arrayprozessor für die zweidimensionale Faltung von Bildsequenzen

K. Rönner, V. Hecht, P. Pirsch, Universität Hannover 95

1.4.3 Ein DCT-Chip mit Prozessorarray-Architektur für hohe Datenraten

U. Totzek, F. Matthiesen, T. G. Noll, Siemens AG, München 101

1.4.4	Eine intelligente sensorintegrierte Vorverarbeitungs-Einheit für neuronale Netze	
	G. Wagner, K. E. Grosspietsch, GMD, St. Augustin; J. Büddefeld, B. J. Hosticka, R. Klinke, FhG-IMS, Duisburg .	107
1.5	Komponenten der Signalübertragung	
1.5.1	Realisierung eines digitalen 100-MBit/s-Empfängers mit 6 CMOS-Schaltkreisen	
	R. Serra, M. Oerder, O. Joeressen, H. Meyr, RWTH Aachen	113
1.5.2	Ein 600-Mbit/s-Viterbi-Decoder-Chip	
	G. Fettweis, H. Dawid, H. Meyr, RWTH Aachen	119
1.5.3	A Real-Time Wheel Slip Measuring Processor for Vehicles	
	T. Büchner, G. Roos, E. Bernath, T. Schwederski, Institut für Mikroelektronik, Stuttgart; J. Marezke, VW AG, Wolfsburg	125
1.5.4	Entzerrer-ASIC für das D-Netz — Algorithmus, Systemsimulation, HDL-Entwicklung, Logiksynthese	
	J. Stahl, B. Reinkemeier, CADIS, Aachen; H. Neppach, T. Pagden, FUJITSU, Frankfurt	131
1.5.5	Datenprozessor mit E²PROM und minimaler Verlustleistung	
	S. Drude, Philips Components, Hamburg	137

2 Mikrosystemtechnik

2.1 Aufbau- und Verbindungstechnik

2.1.1	Optoelektronische Verbindungstechnik: Entwicklungsstand und Zukunftsperspektiven	
	K. J. Ebeling, W. Kowalsky, J. Mähnß, Universität Ulm	143
2.1.2	Gehäuse- und Verbindungstechnik für hochkomplexe integrierte Schaltungen	
	D. Rücker, Siemens AG, München	149
2.1.3	Plastikinduzierte Kristalloberflächenfehler und deren Vermeidung aus prozeßtechnologischer Sicht	
	M. F. B. Bellersen, Philips Components, Hamburg	155
2.1.4	Neue Materialien für die Aufbau- und Verbindungstechnik in der Hybrid-Mikroelektronik	
	E. Irion, W. Möller, V. Tiederle, Messerschmitt-Bölkow-Blohm, Kirchheim/Teck	163
2.1.5	Hybridtechnologie auf Stahl	
	H.-P. Opitz, Rheinmetall GmbH, Düsseldorf	169

2.2 Mikrosysteme

2.2.1	Eine Photodetektor-Matrix mit Ausleseelektronik in Standard-CMOS-Technologie	
	R. Klinke, W. Brockherde, B. J. Hosticka, G. Zimmer, FhG-IMS, Duisburg	175
2.2.2	Optisches Sende- und Empfangsmodul für Breitband-ISDN	
	M. Bosch, H. Knotz, AEG-AG, Ulm; H. Gottsmann, B. Hillerich, M. Rode, Daimler-Benz AG, Ulm	181
2.2.3	Eine hochlineare Ausleseelektronik für integrierte Sensoranwendungen	
	F. V. Schnatz, U. Schöneberg, FhG-IMS, Duisburg; G. Pollak-Diener, P. Kopystynski, Technische Universität Berlin	187
2.2.4	Multifunktionaler Herzkatheter	
	Y. Manoli, J. Eichholz, M. Kandler, N. Kordas, A. Langerbein, W. Mokwa, FhG-IMS, Duisburg	193

2.3 Displaytechnik

2.3.1	Lichtventil-Projektion mit viskoelastischen Steuerschichten und aktiven Ansteuermatrizen in CMOS-Technologie	
	W. Budde, H.-L. Fiedler, R. Melcher, FhG-IMS, Duisburg; R. Gerhard-Mulhaupt, W.-D. Molzow, H. Röder, Heinrich-Hertz-Institut, Berlin	199
2.3.2	Dünnschichttransistoren und ICs zur Ansteuerung flacher Bildschirme	
	E. Lüder, T. Kallfaß, Universität Stuttgart	205
2.3.3	Chip-on-glass-Techniken für Flachdisplays	
	P. M. Knoll, Robert Bosch GmbH, Ettlingen	211

2.3.4	Integration der Treiberelektronik für Aktivmatrix-Flüssigkristallanzeigen in poly-Si-Dünnschichttechnik	R. Schaub, J. Diefenbach, W. Schmolla, N. Marschall, Daimler-Benz AG Forschungsinstitut Frankfurt	217
3	CAD		
3.1	Beschreibungssprachen und High-Level-Analyse		
3.1.1	Erfahrungen mit der Hardwarebeschreibungssprache VHDL beim Entwurf eines CMOS-Gate-Array-Bausteins für Sekundärradar-Antwortempfänger	M. Leiner, Universität Kaiserslautern	223
3.1.2	VLSI-Occam	U. Arzt, L. Thiele, Universität des Saarlandes, Saarbrücken	229
3.1.3	HADES — High-Level Architecture Development and Exploration System	P. Pöschmueller, M. Held, N. Wehn, T. Ølgaard, M. Glesner, Technische Hochschule Darmstadt	235
3.1.4	Cassy: Werkzeuge zur formalen Darstellung und Verifikation von Signalverarbeitungssystemen	E. Meyer zu Bexten, J. Büddefeld, B. J. Hosticka, FhG-IMS, Duisburg; C. Moraga, Universität Dortmund	241
3.2	Verifikation und Test		
3.2.1	Vektorlängensteuerung für die ereignisgesteuerte musterparallele Fehlersimulation	W. Daehn, SICAN GmbH, Hannover; J. Castagne, D. Kannemacher, Universität Hannover	247
3.2.2	Geschwindigkeitsoptimierter Systemelbsttest für schnelle digitale Schaltkreise	R. Serra, H. Meyr, RWTH Aachen	253
3.2.3	Selbsttestkonzept für VLSI-Schaltkreise mit Test der Testlogik durch fehlertolerante Schaltungsstrukturen	O. Seel, Universität Kaiserslautern	259
3.2.4	Die Teststrategie im Entwurfssystem ASC (Advanced Silicon Circuits)	W. Anheier, F. Hapke, Philips Semiconductors, Hamburg	265
3.2.5	Zur Auswahl eines partiellen Prüfpfades unter Berücksichtigung von Zielfehlern	H. H. S. Gundlach, B. Koch, K.-D. Müller-Glaser, Universität Erlangen-Nürnberg, Erlangen	267
3.3	Simulation und Modulgenerierung		
3.3.1	Die Modellschnittstelle in Bonsim II — Simulation im Zeitbereich von der Systemebene bis zur Bauelementebene	H.-P. Bergander, Robert Bosch GmbH, Reutlingen	273
3.3.2	Entwurf und Simulation künstlicher neuronaler Netze	J. Büddefeld, B. J. Hosticka, P. Richert, M. Scholles, FhG-IMS, Duisburg	279
3.3.3	Ein Verfahren zur automatischen Erzeugung von Datenblättern gemischt analog/digitaler Komponenten mikroelektronischer Systeme	M. Gerbershagen, AEG Entwicklungszentrum, Ulm; S. Huss, Technische Hochschule Darmstadt	285
3.3.4	Modulsynthese mit der „Regulären Layoutstruktur für Transistorarrays“ (RLT)	A. Kühlmann, J. Priesnitz, P. Weingart, K. Pahnke, R. Selent, G. Scarbata, Technische Hochschule Ilmenau	291
3.4	Globale Entwurfsverfahren und Platzierungsverfahren		
3.4.1	Ein neuer VLSI-Platzierungsalgorithmus mit Neuronalem Lernmodell	C.-X. Zhang, D. A. Mlynski, Universität Karlsruhe	297
3.4.2	Platzierung von Makrozellen mit hoher Packungsdichte	J. Scheible, D. A. Mlynski, Universität Karlsruhe	303
3.4.3	Zielorientiertes Vorgehen bei der Verteilung von Operationen auf Kontrollschritte bei der Struktursynthese	R. Felix, U. Weiß, Universität Dortmund	309
3.4.4	Ein Verfahren für den ganzheitlichen Entwurf von System und ASIC	H. Joepen, L. Nowak, Siemens-Nixdorf, Paderborn	315

4 Technologie

4.1 Prozeßintegration I

4.1.1 Ein 0,4- μm -CMOS-Laborprozeß mit 8 Röntgenlithographieebenen

W. Windbracke, H. Bernt, D. Friedrich, M. Pelka, P. Hemicker, E. Krullmann, G. Zwicker, H.-J. Schliwinski, P. Lange, K. Tomkowiak, S. Klinkenberg, P. Staudt-Fischbach, FhG-IMT, Berlin 321

4.1.2 Komplementäre Bipolartechnologien für Analog-ASICs

R. B. Steck, A. Kostka, Technische Hochschule Darmstadt 327

4.1.3 Technologie und Charakterisierung von 100-V-LDMOS-Transistoren in „Direct Bonded“ Silizium auf Isolator

U. Apel, H.-G. Graf, C. Harendt, B. Höfflinger, T. Ifström, Institut für Mikroelektronik, Stuttgart 333

4.1.4 Dielektrische Isolation für Leistungs-ICs durch „Silicon Direct Bonding“

W. Wondrak, E. Stein, H. Maeder, J. Korec, Daimler Benz AG, Forschungsinstitut Frankfurt 339

4.2 Prozeßintegration II, DRAM und BiCMOS

4.2.1 DRAMs: Stand und weitere Perspektiven

L. Risch, Siemens AG, München 345

4.2.2 Advanced Circuit Techniques for Multi-Megabit DRAMs

M. Peisl, D. Gleis, M. Menke, D. Savignac, M. Birk, A. Chrysostomides, F. Kaiser, D. Sommer, Siemens AG, München 351

4.2.3 A Versatile Second Generation BiCMOS Technology

W. J. M. J. Josquin, Philips Research, Eindhoven; H. Klose, Siemens AG, München 357

4.2.4 6 GHz 0,6- μm -BiCMOS-Technologie mit MeV-Ionenimplantation

U. Hilleringmann, T. Harms, S. Adams, I. Schönstein, K. Goser, Universität Dortmund 363

4.2.5 Optimierung der BiCMOS-Technologie durch Anwendung von Kurzzeit-Temperprozessen

G. Ritter, G. Weidner, Institut für Halbleiterphysik, Frankfurt/Oder 369

4.3 Einzelprozesse I

4.3.1 DINSAT, ein neues ausschließlich mit Trench realisiertes selbstjustierendes Isolationsverfahren

W. Buchholtz, Robert Bosch GmbH, Reutlingen; D. Behammer, I. Bork, H. Kürten, RWTH Aachen; H. J. Voß, Philips Semiconductors, Hamburg 375

4.3.2 Grabenauffüllung in einem LPCVD-System mit TEOS- und DADBS-Einspritzung

H. Kürten, A. Frechen, RWTH Aachen; H. Miya, Kokusai, Tolio; W. Buchholtz, Robert Bosch, Reutlingen 381

4.3.3 Laserunterstütztes Aufdampfen von Mehrlagen-Metallschichten für eine verbesserte Kontakt- und Metallisierungstechnologie

P. Seegebrecht, R. Pielmeier, D. Bollmann, K. Habberger, FhG-IFT, München 387

4.3.4 Einsatzmöglichkeiten von RTP-Prozessen bei der Herstellung von MOS-Strukturen

J. Haase, R. Ferretti, Universität Hannover 393

4.4 Einzelprozesse II

4.4.1 Mehrlagenmetallisierung von integrierten Schaltkreisen

E. Bertagnolli, Siemens AG, München 399

4.4.2 Plasmaätzen für Si-Halbleiterschaltungen im Sub- μm -Bereich

S. Schwarzl, Siemens AG, München 405

4.4.3 Kontrollierte Profileinstellung von tiefen Si-Gräben mit CBrF_3/O_2 RIE-Plasmen

D. Behammer, W. Buchholtz, RWTH Aachen 411

4.4.4 Statistische Prozeßentwicklung zur Rückschätzung photolackplanarisierter Oxidstrukturen

D. Feldmann, H. Kürten, W. Buchholtz, RWTH Aachen 417