

Bernhard Eschermann

Funktionaler Entwurf digitaler Schaltungen

Methoden und CAD-Techniken

Mit 185 Abbildungen und 24 Tabellen

Springer-Verlag
Berlin Heidelberg New York
London Paris Tokyo
Hong Kong Barcelona
Budapest

Inhaltsverzeichnis

1	Einleitung	1
1.1	Entwicklung der Integrationstechnik	1
1.2	Motivation der Entwurfsautomatisierung	4
1.3	Entwurfsaufgaben	8
2	Zielstrukturen und -technologien	15
2.1	Realisierungsalternativen	15
2.1.1	Halbleitertechnologien	15
2.1.2	Grundlagen der CMOS-Technik	17
2.1.3	Fertigungsstrukturen	19
2.1.4	Systemintegration	21
2.2	Vollkunden-Entwürfe	25
2.2.1	Einführung in den Layoutentwurf	25
2.2.2	Statisches CMOS	28
2.2.3	Switch-Logik und Speicherelemente	32
2.2.4	CMOS-Alternativen	35
2.2.5	Reguläre Layout-Strukturen	39
2.2.6	Allgemeines zum Vollkunden-Entwurf	42
2.3	Anwendungsspezifische Entwürfe	43
2.3.1	Standardzellen	43
2.3.2	Makrozellen	49
2.3.3	Gate-Arrays und Sea-of-Gates	51
2.3.4	Allgemeines zum ASIC-Entwurf	54
2.4	Anwenderprogrammierbare Schaltungen	56
2.4.1	Speicherbausteine	56
2.4.2	Programmierbare logische Felder (PLDs)	57
2.4.3	Programmierbare Logikbausteine (PGAs)	62
2.4.4	Allgemeines zu programmierbaren Schaltungen	67
2.5	Übungsaufgaben	69

3	Theoretische Grundlagen	71
3.1	Grundlagen aus der Graphentheorie	71
3.2	Grundlagen aus der Algebra	74
3.3	Grundlagen aus der Logik	80
3.3.1	Boolesche Funktionen	80
3.3.2	Funktionsdarstellung mit Würfeln	83
3.3.3	Funktionsdarstellung mit Graphen	89
3.4	Grundalgorithmen	97
3.4.1	Komplexitätsklassen	97
3.4.2	Aufteilungsprobleme	102
3.4.3	Überdeckungsprobleme	105
3.4.4	Graphenprobleme	109
3.4.5	Mehrzieloptimierung	113
3.5	Übungsaufgaben	115
4	Logikentwurf	119
4.1	Aufgabenstellung	119
4.1.1	Zweck des Logikentwurfs	119
4.1.2	Optimierungsziele	121
4.1.3	Formalisierung	124
4.2	Synthese zweistufiger Logik	126
4.2.1	Exakte Minimierung	127
4.2.2	Minimierung monotoner Funktionen	130
4.2.3	Einfache heuristische Minimierung	132
4.2.4	Iterative heuristische Minimierung	135
4.3	Synthese mehrstufiger Logik	141
4.3.1	Überblick	142
4.3.2	Boolesche Netze	146
4.3.3	Faktorisierung	147
4.3.4	Division und Kerne	150
4.3.5	Minimierungsalgorithmen	156
4.3.6	Interne don't cares	159
4.3.7	Globale Minimierung	161
4.4	Technologieanpassung	165
4.4.1	Zellenbasierte Entwürfe	165
4.4.2	Programmierbare Logikbausteine	172
4.5	Analyse kombinatorischer Schaltungen	174
4.5.1	Logische Entwurfsanalyse	174
4.5.2	Zeitliche Entwurfsanalyse	177
4.5.3	Fertigungstest	183
4.6	Übungsaufgaben	185

5 Steuerwerksentwurf	189
5.1 Grundstrukturen sequentieller Schaltungen	190
5.1.1 Synchron integrierte Schaltwerke	190
5.1.2 Zerlegung und Zusammenschaltung von Schaltwerken ..	194
5.1.3 Steuerwerksstrukturen	198
5.2 Entwurfsablauf	199
5.2.1 Strukturoptimierung	200
5.2.2 Optimierte Synthese	205
5.3 Schnittstellenoptimierung	209
5.3.1 Symbolische und mehrwertige Variablen	209
5.3.2 Eingabecodierung	213
5.3.3 Ausgabecodierung	218
5.4 Zustandscodierung	222
5.4.1 Allgemeines	222
5.4.2 Optimierungsmöglichkeiten	223
5.4.3 Codierbedingungen	225
5.4.4 Codezuweisung	228
5.5 Zustandsreduktion	236
5.5.1 Vollständig spezifizierte Steuerwerke	236
5.5.2 Unvollständig spezifizierte Steuerwerke	238
5.6 Übungsaufgaben	241
6 Weitere Entwurfswerkzeuge	245
6.1 Datenpfadentwurf	245
6.1.1 Grundbausteine	245
6.1.2 Verhaltensbeschreibung mit Flußgraphen	248
6.1.3 Scheduling, Allokation und Zuweisung	250
6.1.4 Verarbeitungsalternativen	256
6.2 Hardware-Beschreibungssprachen	258
6.2.1 Einführung	258
6.2.2 EDIF	259
6.2.3 VHDL	260
6.3 Entwurfsumgebungen (Frameworks)	263
Literaturverzeichnis	265
Sachverzeichnis	281