

Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen

***GI/ITG/GMM Workshop,
Heinz Nixdorf Institut, Paderborn,
9. – 11. März 1998***

TOC

UB/TIB Hannover 89
118 940 260



Inhalt

Systembeschreibungssprachen

| | |
|--|----|
| Spezifikation hybrider Systeme <i>Ch. Grimm, K. Waldschmidt</i> | 1 |
| A Synchronous Language for Modelling and Verifying Real Time and Embedded Systems <i>Th. Kropf, J. Ruf, K. Schneider, M. Wild</i> | 11 |
| Übersetzung von Objektorientiertem VHDL nach Standard VHDL <i>M. Radetzki, W. Putzke-Röming, W. Nebel</i> | 21 |

Modelltransformationen

| | |
|--|----|
| Verringerung der Leistungsaufnahme in sequentiellen Schaltungen durch Vorlogik und zweistufige Zustandskodierung <i>Koegst, G. Franke, K. Feske, S. Rülke</i> | 30 |
| Deriving Structural RT-Implementations from Algorithmic Descriptions by the means of Logical Transformations <i>Ch. Blumenröhr, D. Eisenbiegler</i> | 38 |
| Entwurf von Controller-Schaltungen für Kommunikationsprotokolle mit dem Protocol-Compiler von Synopsys <i>P. Blinzer, U. Golze, U. Holtmann</i> | 50 |
| Eine Umgebung zur transformationalen Entwurfsraum-Exploration <i>J. Gerlach, W. Rosenstiel</i> | 59 |

Verifikation mit Theorembeweisern

| | |
|---|----|
| Formale Verifikation eines funktionalen VHDL Modells der J1850 Busarbitrierung <i>N. Lange, M. Mutz</i> | 67 |
| Formale Modellierung von kontrollflußdominierenten High-Level-Synthese-Eingabebeschreibungen zur Verifikation von Ergebnissen kontrollflußgesteuerter Einplanungsverfahren <i>Th. Lock, M. Mendler</i> | 75 |
| Modeling and Verifying Abstract Multithreaded Systems <i>W. Grünewald, K. Schneider</i> | 85 |

Verifikation mit Modellprüfung

| | |
|---|-----|
| A Model Checker for a Partial Order based Model of Concurrency <i>E.H.A. Garcez, F.A. Moreira do Nascimento</i> | 95 |
| Entwurfsmethode für einen universellen Koprozessor für zeitkritische Aufgaben in sicherheitsgerichteten Echtzeitsystemen <i>M. Wannemacher, R. Lichtenecker, W.A. Halang</i> | 104 |

| | |
|--|-----|
| Kontrollfluß-Verifikation von Algorithmen mittels Modellprüfung <i>J. Schreiber, J. Schönherr, E. Fordran, K. Schneider, B. Straube</i> | 114 |
|--|-----|

Modellanalyse

| | |
|--|-----|
| Switching Activity Analysis Using a Set Theoretical Approach <i>M. Bühler, D. Dallmann, U.G. Baitinger</i> | 124 |
| Profilierung von VHDL-Prozessen mit minimierten Aufwand <i>P. Thole, W. Rosenstiel</i> | 131 |
| Towards a Unified Analysis Methodology of HW/SW-Systems based on Abstract State Machines: Modelling of Instruction Sets <i>G. Del Gastillo, W. Hardt</i> | 141 |

HW/SW Cosimulation

| | |
|---|-----|
| Object-Oriented Design of ATM Switch Hardware in a Telecommunication Network Simulation Environment <i>G. Post, A. Müller, R. Schoenen</i> | 151 |
| Integration externer Komponenten in den Simulationsablauf von VHDL <i>S. Reichör, M. Pfaff, M. Schutti</i> | 165 |
| Verifikation nachrichtentechnischer Systeme mit Systemsimulation und HW/SW Cosimulation <i>U. Knöchel, U. Tannert, J. Haufe, P. Schwarz</i> | 175 |