

Inhaltsverzeichnis

1 Die Herausforderung durch OMB	9
1.1 Der innovative Gedanke	9
1.2 Die Entwicklung der Anschlußsysteme und der Gehäuseformen bei integrierten Schaltkreisen	11
1.3 Prognosen der OMB-Anwendung	12
1.4 Prognosen der Leiterplattenentwicklung unter Abwägung der Innovationsschübe OMB und VLSI-IC	14
2 Definitionen, Klassifikation, Formen	20
2.1 Elementare Gehäuseformen	24
2.1.1 Chip Widerstände	24
2.1.2 Melf-Widerstände	26
2.1.3 Keramik-Vielschichtkondensatoren	27
2.1.4 Tantalkondensatoren	28
2.1.5 Elektrolytkondensatoren	29
2.1.6 Transistoren/Dioden	30
2.2 Gehäuse/Träger für integrierte Schaltkreise	32
2.2.1 SO-IC-Gehäuse, VSO-IC-Gehäuse	32
2.2.2 Chip Carrier	35
2.2.3 Flat Packages	41
2.2.4 TAB – Tape Automated Bonding (Devices) – Foliengefüßte IC	42
2.2.5 Sonder-OMB	45
3 Anwendungsproblematik	46
3.1 Elastisches Modell	48
3.2 Modifizierungen für großflächige CCC	54
3.3 Zum Theorem einer Schälbeanspruchung der Fügstellen	57
4 Angepaßte Substrate	59
4.1 Elastomerbeschichtete Leiterplattensubstrate	60
4.2 Leiterplattensubstrate mit α -Anpassung	63
4.3 Leiterplattensubstrate mit α -Steuerung	66
5 Fügen	69
5.1 Wellenlöten bei OMB	72
5.2 Reflow-Löten bei OMB	74

5.2.1 Infrarotlöt	79
5.2.2 Kondensationslöt, Vapor Phase Soldering	80
5.2.3 Kontaktlöt	82
5.2.4 Laserlöt	82
5.2.5 Heißgaslöt	82
5.3 Flußmittelreinigung bei OMB	82
6 Konstruktive Gestaltung	84
6.1 Dimensionierung der Anschlußflächenbilder	85
6.1.1 Anschlußflächen für Chip-R, Chip-C, R-Melf und Dioden- (Melf)	86
6.1.2 Anschlußflächen für SOT- und SOD-Gehäuse	87
6.1.3 Anschlußflächen für SO-, VSO-, Qua-Pa-, und Fl.-Pa.-Gehäuse	87
6.1.4 Anschlußflächen für Chip Carrier	94
6.2 Platzierung der Bauelemente	95
6.3 Beispiele konstruktiver Gestaltung	98
6.3.1 Analysen	99
6.3.2 Konzeptionen	119
7 Literaturverzeichnis	126
7.1 Textbezogene Literatur	126
7.2 Relevante Tagungsliteratur	126