

# Inhaltsverzeichnis

1	Einführung . . . . .	1
	1.1 Analog und Digital . . . . .	1
	1.2 Digitale und binäre Signale . . . . .	3
2	Zahlensysteme . . . . .	5
	2.1 Polyadische Zahlensysteme . . . . .	6
	2.2 Zahleumwandlung bei unterschiedlichen Basen . . . . .	7
	2.3 Arithmetik im Dualsystem . . . . .	10
	2.4 Darstellung negativer Zahlen . . . . .	12
	2.5 Übung, Zahlensysteme . . . . .	15
3	Codes . . . . .	17
	3.1 Numerische Codes . . . . .	18
	3.2 Alphanumerische Codes . . . . .	22
	3.3 Codesicherung . . . . .	25
	3.4 Übung, Codes . . . . .	27
4	Schaltalgebra . . . . .	29
	4.1 Schaltvariable und Schaltfunktion . . . . .	29
	4.2 Rechen- und Kürzungsregeln . . . . .	29
	4.3 Verknüpfungen und Schaltsymbole . . . . .	34
	4.4 Vorrangregeln . . . . .	39
	4.5 Normalformen, Minterme, Maxterme . . . . .	40
	4.6 Übung, Schaltalgebra . . . . .	44
5	Logisch-physikalische Zusammenhänge . . . . .	47
	5.1 Positive und negative Logik . . . . .	48
	5.2 Ausgangsschaltungen . . . . .	53
	5.3 WIRED-Technik . . . . .	54
	5.4 Übung, Logisch-physikalische Zusammenhänge . . . . .	55
6	Analyse von Schaltnetzen . . . . .	57
	6.1 Übung, Analyse von Schaltnetzen . . . . .	60
7	Minimierung von Schaltfunktionen . . . . .	63
	7.1 Minimierung mit KV-Tafeln . . . . .	63
	7.2 Redundanzen . . . . .	69
	7.3 Konjunktive Minimalform . . . . .	70
	7.4 Multi-Output-Schaltnetze . . . . .	71
	7.5 Vorgehensweise bei der Minimierung . . . . .	73
	7.6 Übung, Minimierung . . . . .	74
8	Synthese von Schaltnetzen I, Minimalformen . . . . .	75
	8.1 Schaltnetzrealisierung bei vorgegebenen Verknüpfungen . . . . .	75
	8.2 Übung, Synthese I . . . . .	80

9	Häufig benötigte Schaltnetze . . . . .	81
	9.1 Vergleichler (Komparatoren) . . . . .	81
	9.2 Code-Umsetzer . . . . .	84
	9.3 Multiplexer . . . . .	87
	9.4 Rechenschaltungen . . . . .	90
10	Synthese von Schaltnetzen II, Normalformen . . . . .	95
	10.1 Schaltungsaufbau mit Multiplexern . . . . .	95
	10.2 Schaltungsaufbau mit nichtflüchtigen Speichern . . . . .	98
	10.3 Übung, Synthese II . . . . .	100
11	Einführung in die Schaltwerke . . . . .	101
	11.1 Schaltnetze und Schaltwerke . . . . .	101
	11.2 Zustandsdiagramm und Zustandsfolgetabelle . . . . .	102
	11.3 Struktur von Schaltwerken . . . . .	105
	11.4 Synchroner und asynchroner Betrieb . . . . .	108
12	Flipflops . . . . .	111
	12.1 Basis-Flipflops . . . . .	111
	12.2 Flipflops mit Taktsteuerung . . . . .	116
	12.2.1 Taktzustandgesteuerte Einspeicher-Flipflops . . . . .	116
	12.2.2 Taktzustandgesteuerte Zweispeicher-Flipflops . . . . .	121
	12.2.3 Taktflankengesteuerte Flipflops . . . . .	125
	12.3 Konvertierung von Flipflop-Typen . . . . .	128
	12.4 Übersichtsbilder . . . . .	129
	12.5 Übung, Flipflops . . . . .	131
13	Synthese von Zählschaltungen . . . . .	133
	13.1 Synchrone Zähler . . . . .	133
	13.2 Asynchrone Zähler . . . . .	147
	13.3 Übung, Zähler . . . . .	148
14	Register und Schieberegister . . . . .	151
	14.1 Auffangregister . . . . .	151
	14.2 Schieberegister . . . . .	152
	14.3 Registerschaltungen als Speicher in Schaltwerken . . . . .	155
	14.4 Übung, Register und Schieberegister . . . . .	160
15	Halbleiterspeicher . . . . .	161
	15.1 Definitionen und Begriffe . . . . .	161
	15.2 Ortsadressierbare Halbleiterspeicher . . . . .	163
	15.2.1 Nichtflüchtige Speicher . . . . .	164
	15.2.1.1 ROM . . . . .	166
	15.2.1.2 PROM . . . . .	167
	15.2.1.3 EPROM . . . . .	169
	15.2.1.4 EEPROM oder EAROM . . . . .	171

---

15.2.2	Flüchtige Speicher . . . . .	172
15.2.2.1	SRAM . . . . .	175
15.2.2.2	DRAM . . . . .	177
15.3	Inhaltsadressierbare Halbleiterspeicher . . . . .	181
16	Programmierbare Logik . . . . .	183
16.1	Einführung in PLA und PAL . . . . .	183
16.2	PLA . . . . .	184
16.3	PAL . . . . .	187
16.3.1	GAL 16V8 . . . . .	190
16.3.2	Rechnergestützter Entwurf . . . . .	198
17	Lösungen zu den Übungen . . . . .	205
18	Anhang zur Abhängigkeitsnotation . . . . .	219
19	Literaturverzeichnis . . . . .	225
19.1	Ergänzende Literatur . . . . .	225
19.2	Normblätter . . . . .	226
	Sachregister . . . . .	227