

Inhalt

Competing Technologies drive Telecommunication <i>K. U. Stein, Siemens AG, München</i> <i>(Manuskript lag bei Druckbeginn nicht vor)</i>	11
Trends in Development of Highly Integrated Chipsets for GSM and DCS-1800 Handheld Devices <i>P. Baumgartner, Philips Semiconductors, Zürich</i>	13
Hetero-Integration auf Silizium – Konzepte, Technologien, Anwendungen <i>E. Kasper, Daimler-Benz AG, Ulm</i> <i>(Manuskript lag bei Druckbeginn nicht vor)</i>	33
Design und Technologie eines Breitband-Koppelementes für 680 MBIT/S <i>R. Knorr, W. Bachhuber, B. Mbouombouo, TU München</i>	35
Eine Familie integrierter Schaltkreise für Übertragungsgeräte der synchronen digitalen Hierarchie (SDH) <i>R. Himmler, F.-Ch. Tischer, ANT Nachrichtentechnik GmbH, Backnang</i>	43
Anwendung von komplementären UHF-Bipolartechnologien für die Realisierung von breitbandigen aktiven Filtern <i>R. B. Steck, A. Kosika, TH Darmstadt</i> <i>K. Lehmann, Burr-Brown Design-Center, Beedenkirchen</i>	49
Kontaktlose RF-Identifikationssysteme – Funktionsweise, Schaltungstechnik und Realisierung des RF-Interfaces <i>K. Klosa, Eurosil electronic GmbH, Eching b. München</i>	55
Silizium-Technologie für Höchstfrequenz Doppler-Sensoren <i>J.-F. Luy, J. Büchler, K. M. Strohm, Daimler-Benz Forschung, Ulm</i>	67
Elektrooptische Systemintegration auf Silizium <i>U. Hilleringmann, S. Adams, E. Braß, C. Heite, K. Schumacher,</i> <i>K. Goser, Universität Dortmund</i>	71
Niederdruckgasphasenabscheidung von dielektrischen Tantalpentoxid-Schichten <i>N. Rausch, E. P. Burte, Fraunhofer-Institut, Erlangen</i>	77
Hochqualitative Zweischichtoxide hergestellt in einem einzigen Prozeßsystem <i>A. Bauer, W. Aderhold, E. P. Burte, Fraunhofer-Institut, Erlangen</i>	85

Silicon to Silicon Direct Bonding (SDB) – Charakterisierung der gebondeten Grenzschicht und Herstellung von Leistungsdioden <i>R. Wiget, E. P. Burte, Fraunhofer-Institut, Erlangen</i> <i>J. Gyulai, Technische Universität Budapest</i>	91
Schnelle thermische Oxidation von Silizium in N₂O-Atmosphäre <i>P. Lange, E. Hartmannsgruber, F. Naumann,</i> <i>W. Windbracke, Fraunhofer-Institut, Berlin</i>	97
New Reactor Design for Clusterline MO(PE)CVD Deposition Systems <i>R. Arendt, B. Bontschew, K. U. Willuhn, H.-J. Frenck,</i> <i>Plasmos Prozeßtechnik, München</i>	103
Ein neues Trockenlacksystem auf der Basis von Polysiloxanschichten für die UV-Lithographie <i>A. Klumpp, H. Sigmund, Fraunhofer-Institut, München</i>	113
Top-Down Design mit VHDL: Ein Erfahrungsbericht <i>K. ten Hagen, H. Meyr, RWTH Aachen</i>	121
Kopplung eines VHDL Simulators an einem Simulator für Signalverarbeitung- und Kommunikationssysteme <i>P. Zepfer, RWTH Aachen</i>	127
CASSY – Mehrebenensimulation für signalverarbeitende Systeme <i>E. Meyer zu Bexten, Fraunhofer-Institut, Duisburg</i> <i>P. Schwarz, Fraunhofer-Institut, Dresden</i> <i>C. Moraga, Universität Dortmund</i>	133
HADES: Ein System zur Design Space Exploration <i>A. Jantsch, TU Wien</i>	139
Der IMS ScanDebugger – Emulator und Debugger für Mikrocontroller <i>K. Sievert, K.-T. Neumann, A. Both, R. Lerch,</i> <i>Y. Manoli, FhG IMS1, Duisburg</i>	145
CVE – formale Verifikation beim ASIC-Design <i>D. Werth, Siemens AG, Erlangen</i>	153
Digital System Synthesis <i>R. Camposano, GMD und Universität Paderborn, Sankt Augustin</i>	161
Verbindung von Entwurfswerkzeugen zum effektiven Systementwurf <i>H. Haberla, J. Kosch, F. Rößler, J. Sturm, R. Syba, K.-H. Wüstefeld,</i> <i>Thesys Gesellschaft für Mikroelektronik mbH, Erfurt</i>	169

Xputer: ASIC or Standard Circuit? <i>A. Ast, J. Becker, R. Hartenstein, H. Reinig, K. Schmidt, M. Weber, Universität Kaiserslautern</i>	177
Eine neuartige Architektur für applikationsspezifische Mikrocontroller <i>K.-T. Neumann, A. Both, R. Lerch, Y. Manoll, Fraunhofer-Institut, Duisburg</i>	205
Ein On-Chip-Kommunikationsprozessor für die parallele Signalverarbeitung <i>W. Eßer, K. Frommhagen, A. Göbel, R. Hermann, R. Stenske, N. Ziep, G. Zimmer, Fraunhofer-Institut, Dresden B. Hosticka, Fraunhofer-Institut, Duisburg</i>	213
Mikroprozessorgesteuertes Telefonchip <i>H. Gutsch, TEMIC-Telefunken microelectronic GmbH, Heilbronn</i>	219
24 Bit CMOS Gleitkomma Vektorarithmetik Chip <i>D. Timmermann, B. Rix, B. J. Hosticka, Fraunhofer-Institut, Duisburg, H. Hahn, Consulting Services, Kierspe-Bollwerk</i>	227
Integrierte CMOS-Bausteine zur Implementierung des CAN-Protokolls bei hohen und mittleren Datenübertragungsraten <i>M. Strugala, B. W. Kalkhof, M. Chapmann, Robert Bosch GmbH, Reutlingen</i>	233
Parallele Implementierung eines Nächste-Nachbar-Klassifikators auf FPGA-Bausteinen <i>W. Poehmüller, M. Glesner, TH Darmstadt</i>	241
Verfahrenssimulation in der Halbleiterfertigung <i>Chr. Werner, R. P. Brinkmann, A. Kersch, Chr. Hopfmann, Siemens AG, München</i>	247
Design von Polysiliziumemitter-Transistoren und deren Integration in einen vollsilizierten 0,8μm-CMOS-Prozeß <i>J. Nagel, ITT Intermetall, Freiburg</i>	253
Heterobipolartransistoren – Simulation und experimentelle Ergebnisse <i>R. Stenzel, Hochschule für Technik und Wirtschaft, Dresden H. Leier, Daimler-Benz AG, Ulm</i>	259
Monolithischer Phasenabschnitt-Dimmer in 500-V-SIMOX-Technologie <i>E. Hemming, H.-L. Fiedler, B. Mütterlein, F.-P. Vogt, H. Vogt, Fraunhofer-Institut, Duisburg R. Rosch, D. Goldyn, R. Zapp, Busch-Jaeger Elektro GmbH, Lüdenscheid</i>	265

Zweidimensionale Prozeß- und Devicesimulation: Leistungsfähige Methoden der adaptiven Gitterverfeinerung und Techniken zur Manipulation von Ortsdiskretisierungen <i>U. Todt, E. Stephan, A. Erlebach, A. Hürnich, Fraunhofer-Institut, Dresden</i>	271
Zuverlässigkeitsuntersuchungen an MOS-Strukturen auf Wafer-Ebene <i>A. Dreizner, G. Posdziech, Fraunhofer-Institut, Dresden</i>	277
Ein graphengestütztes Entwicklungssystem für den funktionellen Entwurf asynchroner Kommunikationsschaltungen <i>U. Baake, S. Huss, TH Darmstadt</i>	283
Ergänzungen zum systematischen Entwurf systolischer Arrays <i>T. Thiessenhusen, TU Dresden</i>	289
Entwurf arithmetischer Datenpfadkomponenten für VLSI-Systeme mit hoher Durchsatzrate <i>H.-J. Brand, D. Müller, TU Chemnitz-Zwickau</i>	295
Realisierung eines Fuzzy-Akzelerators mit FPGA-Schaltkreisen <i>J. Schmidt, D. Müller, E. Fügert, H.-J. Brand, TU Chemnitz-Zwickau</i>	303
Einsatz von „Rapid Prototyping“ bei der Realisierung eines ASICs zur dynamischen Volumenstrommessung in hydraulischen Systemen <i>H.-J. Herpel, M. Glesner, K.-J. Kurr, B. Stoffel, TH Darmstadt</i>	309
Rapid Prototyping für digitale Signalverarbeitung <i>Prof. Dr.-Ing. K. Kroschel, Dipl.-Ing. K. Lange, Universität Karlsruhe</i>	317
Intelligente Sensoren und Aktuatoren <i>H. Moormann, Texas Instruments Deutschland GmbH, Freising</i>	323
<i>(Manuskript lag bei Druckbeginn nicht vor)</i>	
Aufbau- und Verbindungstechnik bei Integrierten Schaltungen – Qualitäts- und Zuverlässigkeitsaspekte aus der Sicht des Anwenders <i>W. Vits, M. Weber, Robert Bosch GmbH, Reutlingen</i>	325
Mikrosystemtechnik – eine Herausforderung für die Aufbau- und Verbindungstechnik <i>E. Meusel, TU Dresden</i>	337
Schaltungsstrukturen für die Realisierung Integrierter HDTV-Teilbandfilter	

M. Winzker, K. Grüger, P. Pirsch, Universität Hannover.....	345
VLSI-Architekturen der DCT für HDTV	
S. Wolter, M. Riege, R. Laur, Universität Bremen	351
VLSI Text-to-Speech Schaltkreis für ein Vorlesegerät	
W.-J. Fischer, U. Gäbler, D. Hirschfeld, W. Owe, O. Erler,	
D. Buchweitz, H.-J. Holland, S. Netz,	
G. Zimmer, Fraunhofer-Institut, Dresden	
B. Hosticka, Fraunhofer-Institut, Duisburg	
U. Kordon, TU Dresden.....	357
ASPEC und Layer III: Audiodatenübertragung	
mit 64 kbit/sec in CD-Qualität	
B. Grill, E. Eberlein, J. Herre, Fraunhofer-Institut, Erlangen	365
Entwurf von ASICs für die digitale Videosignalverarbeitung	
J. Haase, Philips Kommunikations Industrie AG, Nürnberg	373
Ein Ansatz zur VLSI-Implementierung	
eines massiv parallelen Klassifizierungssystems	
für Aufgaben der sichtgestützten Qualitätskontrolle	
A. König, A. Korn, M. Glesner, TH Darmstadt.....	379
Anwendung eines Logic Cell Arrays zur	
schnellen hochauflösenden Frequenzmessung	
W. Baldauf, R. Kirchmeier, TU München.....	385
Galliumarsenid 5 Bit Parallel-AD-Umsetzer	
mit integriertem Track & Hold für 1 GHz Abtastrate	
F. Oehler, G. Rohmer, R. Hagelauer, J. Sauerer,	
D. Seitzer, Fraunhofer-Institut, Erlangen.....	391
Differentielles 1 GSps Abtasthalteglied	
in GaAs-SAGFET-Technologie	
G. Rohmer, J. Sauerer, D. Seitzer, Fraunhofer-Institut, Erlangen	
T. Grave, W. Kellner, Siemens AG, München	397
Ein Baustein zur Filterung und Skalierung	
von Videobildern in Desktop Video Systemen	
S. Drude, H. Hackmann, A. Mittelberg,	
Philips Semiconductors, Hamburg	403
Ein neuartiger Halbleiterbildaufnehmer	
für Röntgenkameras mit on-chip-A/D-Wandlung	
B. Hense, Daimler Benz AG, Stuttgart	
H. Strack, TH Darmstadt	409
Korrekturverfahren bei Laserscanner	
S. Föbel, FhG-IIS, Erlangen.....	413

Systemplanung unter Berücksichtigung der Aufbau- und Verbindungstechnik <i>S. Weiner, K.-P. Dyck, Universität Hannover</i>	419
Integration eines Sensor-Aktor-Timerbausteins <i>D. Göttler, H. Hauer, W. McKinley, D. Seitzer, Fraunhofer-Institut, Erlangen</i>	425
HF-Lösungen zur mikromechanischen Strukturierung für die Systemintegration <i>S. Adams, J. Müller, U. Hilleringmann, K. Goser, Universität Dortmund</i>	431
Integrierter CMOS-kompatibler Photosensor mit On-Chip Signalaufbereitung <i>W. Budde, R. Gottfried-G., N. Haase, A. Kalz, R. Kauert, Fraunhofer-Institut, Dresden W. Brockherde, B. Hosticka, Fraunhofer-Institut, Duisburg</i>	437
Monolithisch integrierbares Sensorsystem zur Messung der elektrolytischen Leitfähigkeit <i>N. Kordas, Y. Manoli, W. Mokwa, M. Rospert, Fraunhofer-Institut, Duisburg</i>	441
Cache-Controller für High-End-Produkte <i>V. Tiederle, TEMIC-MBB Mikrosysteme GmbH, Kirchheim/Teck</i>	447
Halbleiter für die Konsumelektronik von heute und morgen <i>U. Sieben, Intermetall, Freiburg</i> (Manuskript lag bei Druckbeginn nicht vor)	461
Strukturierungsprobleme bei Neuronennetzen <i>M. Peschel, FH Zittau H. M. Voigt, TU Berlin</i> (Manuskript lag bei Druckbeginn nicht vor)	463
Fuzzy-Systeme und ihre mikroelektronische Realisierung <i>D. Schmitt-Landsiedel, H. Eichfeld, Siemens AG, München</i>	465
Pyrometrische Interferometrie: Ein neues Werkzeug zur Prozeßkontrolle in schichtabscheidenden Prozessen <i>H. Möller, F. G. Böbel, Fraunhofer-Institut, Erlangen</i>	469
Kontaminationsanalytik in der Halbleiterfertigung – Anforderungen, Möglichkeiten und Grenzen – <i>F. Kroninger, N. Streckfuß, G. Zielonka, L. Pfitzner, H. Ryssel (Universität Erlangen), Fraunhofer-Institut, Erlangen</i>	475

Teststrukturen zur effizienten produktionsbegleitenden Defektdiagnose und - analyse <i>Christopher Hess, Universität Karlsruhe</i>	485
Schnelle Testverfahren zur Charakterisierung von Ausbeute und Zuverlässigkeit hochintegrierter Leitbahnsysteme <i>A. Dreizner, H. Kück, K. Lukat, J. Pahlitzsch, Fraunhofer-Institut, Dresden</i>	491
Fertigungstest bei SMD-bestückten mehrlagigen Leiterplatten <i>H. Jach, TU München</i>	497
Fehlersimulation mit Optimierter Orthogonaler Transformation <i>M. Riege, S. Wolter, W. Anheier, Universität Bremen</i>	503