

Inhaltsverzeichnis

Analogentwurf und Signalverarbeitung

Moderatoren: K. Antreich TU München; S.A. Huss TU Darmstadt

Systematischer Systementwurf eines CMOS-Bild-Sensors mit hochparalleler analoger Vorverarbeitung 11

A.Graupner, S. Getzlaff, J. Schreiter, S. Henker, R. Schüffny TU Dresden

Prädiktive Signalverarbeitung für bioelektrische Signale 17

B. Fuchs, D. Schröder TU Hamburg-Harburg

Rauschanalyse von Oszillatoren mit Empfindlichkeits-Funktionen 23

T. Falk, W. Schwarz TU Dresden

Modellierung analoger Leistungselektronik auf Systemebene mit C++ 29

Ch. Grimm, P. Oehler, Ch. Meise, K. Waldschmidt, W. Fey Universität Frankfurt

Analog Digital Co-Design für signalverarbeitende eingebettete Systeme 35

F. Heuschen, K. Waldschmidt Universität Frankfurt

Algorithmen und Designmethoden für Spezialprozessoren

Moderatoren: R. Ernst TU Braunschweig; G. Fettweis TU Dresden

Ein FPGA-basierter Elliptic-Curve Kryptoprozessor mit variabler Schlüssellänge für hohen Datendurchsatz 41

M. Ernst, S.A. Huss TU Darmstadt

SyCAP – Synthesis Compiler for Applicationspecific Processors 47

I. Schoppa, C. Gremzow, M. Menge TU Berlin

Entwurf und Realisierung einer schnellen Sortiereinheit für einen Radar-Signalprozessor in VHDL auf einem FPGA 53

R. Gessler EADS Deutschland GmbH Ulm; H.-J. Pfeiderer Universität Ulm

4,5 Bit/Operation bei serieller Multiplikation durch modifiziertes SD-Recoding 59

H. Ploog, S. Flügel, D. Timmermann Universität Rostock

Parasitics 1: Physikalische Effekte

Moderatoren: E. Barke Universität Hannover; W. John FhG IZM Paderborn

Thermische Modellierung von IC-Gehäusen 65

J. Diefenbach DaimlerCrysler AG Frankfurt;

F. Hiller Atmel GmbH Heilbronn

Thermsim: integration of an electrothermal simulation tool in an ASIC design environment	69
J. Willemen Robert Bosch GmbH Reutlingen	
Extraktion und Simulation parasitärer Substrateffekte an einer Mixed-Signal CMOS-Schaltung	75
A. Hermann, E. Barke Universität Hannover; R. Gärtner ZMD Dresden; J. Schlöffel Philips Semiconductors Hamburg	
Parasitics 2: Modellierung und elektromagnetische Abstrahlung	
Moderatoren: W. John FhG IZM Paderborn; St. Lindenkreuz Robert Bosch GmbH Reutlingen	
Modellierung und Messung des Substrateinflusses in schnellen integrierten Bipolarschaltungen	81
W. Steiner, H.-M. Rein Universität Bochum; M. Pfof Infineon AG München; A. Stürmer Atmel GmbH Ulm	
Elektromagnetische Abstrahlung von IC und OnChip/OffChip Kopplungen	87
P. Kralicek, W. John FhG IZM Paderborn; D. Manteuffel, F. Gustrau IMST GmbH Kamp-Lindfort; J. Brückner Robert Bosch GmbH Reutlingen	
Modellierung von Signal- und Versorgungsleitungen sowie breitbandige Messung in hochkomplexen MCM-Substraten	93
F. Ktata, U. Arz, H. Grabinski Universität Hannover; K. Thumm, A. Huber, Th. Winkel IBM Deutschland GmbH Böblingen	
Die elektrische Synthese analoger Schaltungen mit Signal-Wechselwirkungsdiagrammen	99
J. Kampe TU Ilmenau	
Dynamische Rekonfiguration von Verarbeitungseinheiten in VLIW DSPs	105
St. Köhler, R. G. Spallek TU Dresden	
VLIW-Prozessorbasierte Emulation und Prototyping digitaler Schaltungen	111
G. Haug FZI Karlsruhe; W. Rosenstiel Universität Tübingen	
Symbolische Analyse im industriellen Schaltungsentwurf mit Analog Insydes 2	117
E. Hennig, R. Sommer, M. Thole Infineon AG München	
Systemsimulation von hochparallelen analogen Rechenfeldern am Beispiel eines Sensors mit integrierter Vorverarbeitung	123
S. Henker, S. Getzlaff, A. Graupner, J. Schreiter, R. Schüffny TU Dresden	
Analog Insydes: Analogschaltungsentwurf mit symbolischen Verfahren	127
J. Praetorius, T. Halfmann, T. Wichmann FhG ITWM Kaiserslautern	
TSMG – Ein Werkzeug für die gekoppelte elektro-thermische Simulation	133
R. Martin, P. Schwarz FhG IIS/EAS Dresden	
Elektrothermische Simulation von Smart-Power-ICs in Automobilanwendungen	137
W. Soppa FH Osnabrück; M. Sauter Universität Bundeswehr Neubiberg; K.-W. Pieper, H. Schmidt-Habich Infineon AG München; C. Heinelt Cadence GmbH München	

Vergleich industrieller Entwicklungswerkzeuge für elektrothermische Schaltungssimulation	143
J. Willemen Robert Bosch GmbH Reutlingen; W. Soppa FH Osnabrück; K.-W. Pieper Infineon AG München; K. Weide, Keck LFI Hannover; R. Gärtner ZMD Dresden	
 Parasitics 3: Leitungen, Netzwerke, Layoutentwurf und -analyse	
Moderatoren: A. Stürmer Atmel GmbH Ulm; M. Frerichs Infineon AG München	
 Ein integrierter parallelisierter Design-Flow zur selektiven und hochgenauen Extraktion parasitärer Elemente der Leitbahnen integrierter Schaltungskreise	149
H. Armbruster, M. Frerichs, K. Hufeld Infineon AG München; M. Olbrich Universität Hannover	
 Modellierung von On-Chip Verbindungsleitungen zur Untersuchung parasitärer Leitungselemente in integrierten Schaltungen	155
A. Huber, H. Harrer, D. Kaller, K. Thumm, T. Winkel IBM Deutschland GmbH Böblingen	
 Stromdichteanalyse von Leitbahnen integrierter Schaltungen	161
M. Gerbershagen, A. Stürmer Atmel GmbH Ulm; M. Decker BDF Solutions GmbH München; J. Lienig, G. Jerke, P. Decker Robert Bosch GmbH Reutlingen; H. Brocke, R. Klausen Universität Hannover	
 Stromabhängige Verdrahtung von Analogschaltungen	167
J. Lienig, G. Jerke, P. Decker Robert Bosch GmbH Reutlingen; M. Gerbershagen, A. Stürmer Atmel GmbH Ulm; T. Adler, L. Schreiner, E. Barke Universität Hannover	
 Automatisierter parametrischer Entwurf von LDO-Reglern in High-Voltage-ASICs	171
J. Krupar TU Dresden; M. Goetz Alcatel Dresden	
 A high performance / low power single cycle 16 bit microcontroller architecture with advanced on-chip debugging features for SoC solutions	177
K. Maier Infineon AG München	
 Methodik für einen effizienten Entwurf wiederverwendbarer Full-Custom Schlüsselkomponenten in Hochgeschwindigkeits-Datenübertragungssystemen mit Standardwerkzeugen	183
R. Wittmann, D. Bierbaum, M. Darianian Nokia Bochum; W. Schardein FH Dortmund	
 ORINOCO: Verlustleistungsanalyse und Optimierung auf der algorithmischen Abstraktionsebene	189
A. Stammermann, L. Kruse, E. Schmidt, A. Pratsch, M. Schulte, W. Nebel Offis Oldenburg	
 Low-Cost-Interpolation-ASIC mit optimierten Miniaturisierungsgrad	195
K. Leitis, W. Bonath FH Gießen	

ELAN: Layoutentwurfsmethodik für analog/digitale Systeme

Moderatoren: V. Meyer zu Bexten Atmel GmbH Ulm; W. Rissiek Zuken GmbH Paderborn

Platzierung gemischt analog-digitaler Systeme auf Chipträger 201

W. Rissiek Zuken GmbH Paderborn; A. Stube Widis GmbH Paderborn;

U. Homann FhG IZM Paderborn

Floorplanning/Plazieren für mixed-signal SoC's 207

A. Obermeier, F. M. Johannes TU München;

V. Meyer zu Bexten Atmel GmbH Ulm

Interaktive entwurfsregelkonforme Layoutadaption unter Verwendung von Layoutgeneratoren 213

M. Henning, Robert Bosch GmbH Reutlingen; V. Meyer zu Bexten Atmel GmbH Ulm;

K. Liebermann Universität Dortmund

Verifikation der Layout getreuen FE-Simulation eines MO-166 Gehäuses mittels elektrischer Messung und IR-Untersuchung 219

K. Weide-Zaage, C. Keck Universität Hannover; J. Willemen Robert Bosch GmbH Reutlingen

FEM-Analyse einer Cu-Leitbahn mit Oktagonstruktur bezüglich Temperatur, Stromdichte, Massenflussdivergenz und Lebensdauer 223

H. Brocke, J. Ullmann Universität Hannover

Modellierung und Simulation des Durchbruchverhaltens von Halbleitern 229

L. Bornholt, U.v. Matt, H.-O. Müller ISE AG Zürich; S. Mettler Robert Bosch GmbH Reutlingen;

W. Stadler, K. Esmark Infineon AG München; A. Stürmer, R. Grieb Atmel GmbH Ulm; N. Felber,

D. Aemmer, A. Schenk Institut für Integrierte Systeme Zürich; W. Soppa FH Osnabrück

Einsatz von 3D-Bauelementesimulatoren für die Optimierung des Durchbruch- und Rückspungverhaltens von NMOS-Transistoren 233

K. Esmark, W. Stadler Infineon AG München; W. Soppa, A. Stange FH Osnabrück

Modellierung elektromagnetischer Emissionen von IC 237

P. Kralicek, W. John FhG IZM Paderborn

Modellierung von A/D-Wandlern und Komponenten heterogener Systeme

Moderatoren: M. Glesner TU Darmstadt; F. Rößler Melexis Erfurt

Architekturentwurf für einen entropie-codierenden effizienten Analog/Digital-Wandler . . 243

R. Peck, D. Schröder TU Hamburg-Harburg

Top-Down Entwurf eines zyklischen A/D-Wandlers unter Einbeziehung der Verhaltensmodellierung in SpectreHDL 249

R. Izak, R. Kindt, J. Strömer IMMS Erfurt; F. Rößler Melexis Erfurt

Einfache Berechnung der Biegelinie von Platten unter elektrostatischer Last 255

A. Wilde FhG IIS/EAS Dresden

Multimedia-basierte Aus- und Weiterbildung

Moderatoren: K.-H. Diener FhG IIS/EAS Dresden; W. Glauert Universität Erlangen-Nürnberg

Multimediale Lehre im Chip-Entwurf	259
T. Çatalkaya TU Braunschweig	

Multimediabasierte Aus- u. Weiterbildung in den Fachgebieten Mikrosystemtechnik und Mikroelektronik	263
W. Fischer, L. Schlenker, B. Ulbricht TU Dresden	

Lernmodule für die Ausbildung zum Thema “Entwurf von Schaltsystemen”	267
H.-D. Wuttke, K. Henke TU Ilmenau	

Eine Web-basierte Simulationsumgebung für VHDL-AMS	273
T. Schneider, J. Mades, T. Hollstein, M. Glesner TU Darmstadt; A. Windisch TU Chemnitz; T. Kruse Infineon AG München	

Jcontrol - Einfache Implementierung und Evaluierung von eingebetteten Anwendungen mit JAVA	277
H. Böhme TU Braunschweig; G. Telkamp Domologic GmbH Braunschweig	

Klassifikation von Geräuschen in Hörgeräten	283
F. Feldbusch Universität Karlsruhe	

Verlustleistungsmindernde Systembuskodierung für dynamisch rekonfigurierbare Hardware	289
C. Kretzschmar, R. Siegmund, D. Müller TU Chemnitz	

Internet-basierter Systementwurf mit MOSCITO	295
A. Schneider, P. Schneider FhG IIS/EAS Dresden; E. Gramatova Institute for Informatics Bratislava; E. Ivask TU Tallinn	

Rekonfigurierbare Schaltungen und IP

Moderatoren: N. Wehn Universität Kaiserslautern; W. Grass Universität Passau

Ein Ein-Schritt-Plazierungsverfahren für FPGAs	297
M. Senn, B. Obermeier, F. M. Johannes TU München	

Adaptive Rechensysteme und ihre Entwurfswerkzeuge	303
A. Koch TU Braunschweig	

High-Level Bewertung der Leistungsaufnahme sequentieller Schaltungen	309
H. Schmitt Universität Frankfurt	

Effiziente IP-basierte Abbildungsverfahren für dynamisch rekonfigurierbare Array-Architekturen	315
J. Becker, T. Pionteck, M. Glesner TU Darmstadt	

IP Qualifizierung wiederverwendbarer Schaltungsbeschreibungen	321
A.Vörg N. M. Madrid; R. Seepold FZI Karlsruhe; W. Rosenstiel Universität Tübingen	