

Inhaltsverzeichnis

1	Mathematische Grundlagen	13
1.1	Über Gott und die Welt	13
1.2	Elementare Konzepte	17
1.2.1	Natürliche Zahlen	17
1.2.2	Induktion	19
1.2.3	Variablen und der naive Mengenbegriff	19
1.2.4	Funktionen und Relationen	23
1.2.5	Zeichenreihen	28
1.2.6	Zeichensätze	32
1.3	Rechnen	35
1.3.1	Vollständig geklammerte Ausdrücke	37
1.3.2	Auswertung von Ausdrücken	42
1.3.3	Identitäten	44
1.3.4	Unvollständig geklammerte Ausdrücke	48
1.4	Zahlen	56
1.4.1	Ganze Zahlen, rationale Zahlen, reelle Zahlen	56
1.4.2	Zahldarstellungen	60
1.4.3	Abzählbarkeit	61
1.5	Formale Logik	67
1.5.1	Prädikate	67
1.5.2	Formale Fassung des Mengenkonzepts	72
1.5.3	Beweissysteme	80
1.6	Übungen	83
2	Boole'sche Ausdrücke	87
2.1	Mächtigkeit endlicher Mengen	87
2.2	Rechnen mit Boole'schen Ausdrücken	91
2.2.1	Vollständig geklammerte Ausdrücke	93
2.2.2	Einsetzungen	94
2.2.3	Identitäten und Ungleichungen	96
2.2.4	Lösen von Gleichungen	100

2.2.5	Der Darstellungssatz	102
2.3	Kosten von Ausdrücken	103
2.3.1	Definitionen	103
2.3.2	*Allgemeine Schranken	105
2.4	Polynome und Resolution	109
2.4.1	Polynome und Primimplikanten	109
2.4.2	Das Verfahren von Quine–McCluskey	111
2.4.3	Monome und n -Würfel	114
2.4.4	Bestimmung von Minimalpolynomen	124
2.4.5	*Nullstellen und Erfüllbarkeit	126
2.4.6	*Erfüllbarkeit von konjunktiven Normalformen	130
2.4.7	*Resolutionsbeweise	133
2.5	Übungen	139
3	Schaltkreise	142
3.1	Gerichtete Graphen und Schaltkreise	142
3.1.1	Gerichtete Graphen	142
3.1.2	Gatter	144
3.1.3	Schaltkreise	145
3.2	Rechnen mit Schaltkreisen	147
3.2.1	Einsetzungen	147
3.2.2	Identitäten und berechnete Funktionen	149
3.2.3	Anfangsschaltkreise	151
3.3	Darstellungssatz	153
3.4	Schaltkreiskomplexität	157
3.4.1	Komplexitätsmaße	157
3.4.2	Assoziativität und balancierte Bäume	159
3.5	*Schaltkreise und Boole'sche Ausdrücke	164
3.5.1	Subfunktionen	164
3.5.2	Das Kriterium von Neciporuk	166
3.5.3	Selektoren	169
3.5.4	Funktionen mit vielen Subfunktionen	171
3.6	Übungen	173
4	Arithmetik	176
4.1	Zahlendarstellungen	176
4.1.1	Stellenwertsysteme	176
4.1.2	Binärzahlen	178
4.1.3	2's-Complement-Darstellung	179
4.2	Addierer	182
4.2.1	Halb- und Volladdierer	183
4.2.2	Carry-Chain Addierer	184

4.2.3	Incrementer	187
4.2.4	Conditional-Sum Addierer	188
4.2.5	Carry-Lookahead Addierer	194
4.3	Subtraktion	198
4.3.1	Addition von 2's-Complement-Zahlen	198
4.3.2	Addierer und Subtrahierer	200
4.4	*Multiplizierer	201
4.4.1	Multiplikation nach der Schulmethode	202
4.4.2	Wallace-Tree Multiplizierer	207
4.4.3	Multiplikation nach Karatsuba und Ofman	212
4.5	Aufbau von Arithmetikeinheiten	215
4.5.1	Bit Slice Designs	219
4.6	Übungen	221
5	Speicher und Tristate-Bausteine	225
5.1	Physikalische Eigenschaften von Gattern	226
5.1.1	Logische und physikalische Signale	227
5.1.2	Fanout	228
5.1.3	Verzögerungszeiten	229
5.1.4	*Transferfunktionen	233
5.1.5	Kapazitive Last	235
5.1.6	Worst Case Timing-Analyse	237
5.1.7	Spikefreies Umschalten von Gattern	240
5.2	Flipflops	242
5.2.1	R/S-Flipflop	242
5.2.2	D-Latch	245
5.2.3	D-Flipflop	248
5.3	Bausteine mit Flipflops	251
5.3.1	Register	251
5.3.2	Zähler	251
5.4	Statischer Speicher	253
5.4.1	Mehrfaches OR	253
5.4.2	Treiberbäume	254
5.4.3	Dekodierer	258
5.4.4	Aufbau eines statischen Speichers	259
5.5	Tristate-Treiber, Busse und Pipelines	264
5.5.1	Speicher und Bus Contention	269
5.5.2	Wired OR	271
5.6	Übungen	271
6	Ein einfacher Rechner	275
6.1	Die abstrakte RESA-Maschine	276

6.1.1	Load und Store	278
6.1.2	Compute Befehle	279
6.1.3	Immediate Befehle	280
6.1.4	Indexregister	281
6.1.5	Sprungbefehle	282
6.2	Instruktionssatz	284
6.2.1	Instruktionsformate	285
6.2.2	Load Befehle	286
6.2.3	Store Befehle	287
6.2.4	Compute Befehle	287
6.2.5	Sprungbefehle	288
6.2.6	Erzeugung großer Konstanten und Shifts	289
6.2.7	Selbstmodifikation und von Neumann-Architektur	290
6.2.8	Sign Extension	291
6.3	Datenpfade	292
6.4	Idealisierte Timing-Diagramme	301
6.5	PLAs, PROMs und PALs	304
6.5.1	PLAs	304
6.5.2	PROMs und EPROMs	306
6.5.3	PALs	307
6.5.4	PALASM	309
6.6	Kontrollogik	313
6.6.1	Clock- und Phasensignale	314
6.6.2	Clocksignale	315
6.6.3	Output enable Signale	317
6.6.4	Kontrolle der ALU und Sign-Extension	321
6.6.5	Laden des Befehlszählers	323
6.6.6	Asynchrone Signale und Reset	324
6.6.7	Ansteuerung des Speichers	326
6.7	Exakte Timing-Analyse	328
6.7.1	Kontrollogik	329
6.7.2	Vermeidung von Bus contention	330
6.7.3	Inkrementieren des Befehlszählers	331
6.7.4	Compute Befehle	332
6.7.5	LOADIN1 und STOREIN1	335
6.7.6	Jump	336
6.7.7	Zykluszeit und Befehlsrate	337
6.7.8	ALUs mit Carry Lookahead und Conditional Sum	337
6.7.9	Kontrollsignale mit 3,5 Zyklen Dauer	340
6.7.10	Verkürzung des Fetch-Zyklus	342
6.7.11	Einschalten des Stroms	344
6.8	Ein- und Ausgabe	345

6.8.1	I/O-Ports und Interfaces	347
6.8.2	UART	349
6.8.3	EPROM	351
6.8.4	Datenpfade und Memory Map	351
6.8.5	Busprotokoll und Wait-Zyklen	353
6.8.6	Zustandsdiagramme	359
6.8.7	Kontrolle des Speichers	363
6.9	Übungen	369
Anhang		377
A Verwendete Bauteile		377
A.1	Gatter	377
A.2	Multiplexer	377
A.3	Register	378
A.4	Zähler	379
A.5	Treiber	380
A.6	ALU Bausteine	380
A.7	PALs	381
A.8	Speicherbausteine	382
A.9	Ein- und Ausgabe	383
B PAL-Gleichungen		384
B.1	CPU-Kontrolle	384
B.2	SRAM-Kontrolle	385
B.3	EPROM-Kontrolle	386
B.4	UART-Kontrolle	387
Literaturverzeichnis		389
Index		392