

Dipl.-Ing. Thomas Büchner, Schlaitdorf

Kostengünstige Testmethoden für Semi-Custom ASICs

Reihe **9**: Elektronik

Nr. **233**

Inhaltsverzeichnis

Vorwort	III
Inhaltsverzeichnis	V
Begriffe und Abkürzungen	VIII
Verwendete Größen und Formelzeichen	IX
Kurzfassung	XI
Kapitel 1: Einleitung	1
1.1 Motivation	1
1.2 Ziel der Arbeit	2
1.3 Gliederung der Arbeit	2
Kapitel 2: ASIC-Entwurf und Test - Stand der Technik	4
2.1 Klassifizierung von ASICs	4
2.1.1 Full Custom und Semi-Custom ASICs	4
2.1.2 Klassifizierung von Semi-Custom ASICs	5
2.2 Testgerechter Entwurf	6
2.2.1 Kontrollierbarkeit und Beobachtbarkeit	6
2.2.2 Fehlermodelle	6
2.2.3 Test von Schaltnetzen	7
2.2.3.1 Deterministischer Test	7
2.2.3.2 Test mit Zufallsmustern	8
2.2.4 Prüfpfadtechnik	9
2.2.5 Test von sequentiellen Schaltungen	10
2.2.6 Selbsttest	10
2.2.7 Hierarchisch strukturierter Test	10
2.3 Boundary Scan Test	11
2.3.1 Historische Entwicklung	11
2.3.1.1 Systemtest mit automatisierten Testeinrichtungen	11
2.3.1.2 In-Circuit Test	12
2.3.2 Der Boundary Scan - Standard	13
2.3.2.1 Die Boundary Scan Architektur	14
2.3.2.2 Der TAP-Controller	16
2.3.2.3 Befehls- und Datenregister	19
2.3.2.4 Boundary Scan Register	21
2.3.3 Test auf Leiterplatten-Ebene	22
2.3.4 Test der internen Schaltung	24
Kapitel 3: ASIC-Testkosten	25
3.1 Kostenanalyse	25
3.1.1 Klassifizierung der Kosten	25

3.1.2 Analyse der Kostenzusammensetzung	27
3.1.2.1 Entwicklungskosten testbarer ASICs	27
3.1.2.2 Herstellungskosten testbarer ASICs	28
3.1.2.3 ASIC-Testkosten	28
3.2 Verringerung der Testkosten	30
Kapitel 4: Eine universelle Testarchitektur für Semi-Custom ASICs	33
4.1 Methode zum kostengünstigen ASIC-Test	33
4.2 Test der funktionalen Schaltung	36
4.2.1 Überblick über die Komponenten der SUNBAR-Architektur	38
4.2.2 Der erweiterbare Boundary Scan Controller (EBoSC)	41
4.2.2.1 Der TAP-Controller	42
4.2.2.2 Das erweiterbare Befehlsregister	42
4.2.2.3 Das Testmodus-Register	42
4.2.3 Unterstützung von Scanpfaden	43
4.2.3.1 Scanpfade für den deterministischen Test	44
4.2.3.2 Spezielle Scanpfade für eingebauten Selbsttest	44
4.2.4 Unterstützung eines eingebauten hierarchischen Selbsttests	45
4.2.4.1 Aufbau des hierarchischen Selbsttest	46
4.2.5 Taktversorgung während des Tests	48
4.2.6 Padtest	48
4.3 Test von Analogkomponenten	49
4.3.1 Scantest des A/D-Wandlers	51
4.3.2 Selbsttest des A/D-Wandlers	52
4.4 Autonomer Padtest auf dem Wafer	54
4.4.1 Erhöhung der Testbarkeit der Pads	54
4.4.1.1 Eingangspads	55
4.4.1.2 Ausgangspads	56
4.4.1.3 Tristate-Pads	59
4.4.1.4 Bidirektionale Pads	61
4.5 Test der Bondverbindungen bei gehäuteten Chips	62
4.5.1 Test der Signalpins	62
4.5.2 Test von Versorgungspins	65
4.6 Auswirkungen auf den Leiterplattentest	68
4.6.1 Lokalisierung von Leitungsunterbrechungen	68
4.6.2 Test von Tristate-Leitungen	70
4.7 Kostenersparnis durch SUNBAR	71
Kapitel 5: Kostengünstige Implementierung von Boundary Scan - Schaltungselementen	73
5.1 Implementierungsalternativen	74
5.1.1 Implementierung als Softmakros	74
5.1.2 Implementierung als Hardmakros	74
5.1.3 Eignung für Semi-Custom ASICs	75

5.1.3.1	Erfüllung des Flächenkriteriums	76
5.1.3.2	Kostengünstige Partitionierung	78
5.1.3.3	Erfüllung des Platzierungskriteriums	79
5.2	Topologie von Semi-Custom ASICs	80
5.2.1	Untersuchung der Topologien	80
5.2.2	Aufbau des Padbereichs	81
5.2.2.1	Padzellen	81
5.2.2.2	Eckpads	84
5.2.3	Spannungsversorgung des Chips	84
5.3	Flächenminimierte Implementierung auf Semi-Custom ASICs	87
5.3.1	Implementierung der Boundary Scan-Zellen	87
5.3.1.1	Plazierung der Zellen	88
5.3.1.2	Schaltungsminimierung	90
5.3.1.3	Weitere Optimierungsstrategien für die Implementierung	91
5.3.2	Implementierung des Boundary Scan-Controllers	94
5.3.2.1	Schnittstellen des Controllers	95
5.3.2.2	Plazierung des Controllers	95
5.3.2.3	Lage der Pads für den Test Access Port	96
5.3.3	Implementierung des ID-Registers	97
5.3.3.1	Schnittstellen des ID-Registers	97
5.3.3.2	Plazierung des Registers	97
5.3.4	Signalverteilung	97
5.3.4.1	Plazierung von Treiberstufen	99
5.4	Kostenersparnis bei der Implementierung	99
Kapitel 6: Anwendungsbeispiele		100
6.1	Implementierung von Boundary Scan Zellen auf dem IMS GATE FOREST	100
6.1.1	Betriebsarten der Boundary Scan Zelle	100
6.1.2	Taktsteuerung der Boundary Scan Zelle	101
6.1.3	Schaltung der Boundary Scan Zelle	102
6.1.4	Floorplanning	103
6.1.5	Parametrisierbarkeit	105
6.1.5.1	Eingangszelle und Ausgangszelle	106
6.1.5.2	Scanzelle für Tristate- und bidirektionale Pads	107
6.1.6	Flächeneinsparung	108
6.1	Fehlersicherer 16 bit RISC-Prozessor	108
6.1.1	Beschreibung des Prozessors	109
6.1.1.1	Off-Line Test	110
6.1.2	Implementierung	110
Kapitel 7: Zusammenfassung und Ausblick		112
7.1	Erzielte Ergebnisse	112
7.2	Ausblick	113
Literaturverzeichnis		114